

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 2 6 日  
Date of Application:

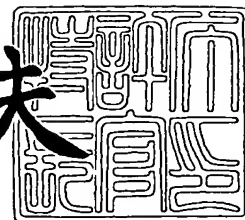
出 願 番 号                      特 願 2 0 0 3 - 0 8 6 5 6 9  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 8 6 5 6 9 ]

出      願      人                      N E C エレクトロニクス株式会社  
Applicant(s):


2 0 0 4 年    2 月 1 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 8 0 6 9



【書類名】 特許願

【整理番号】 73420026

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 03/20  
G09G 03/621

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ  
クトロニクス株式会社内

【氏名】 能勢 崇

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100099830

【弁理士】

【氏名又は名称】 西村 征生

【電話番号】 048-825-8201

【手数料の表示】

【予納台帳番号】 038106

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216892

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置、該画像表示装置に用いられる信号線駆動回路及び駆動方法

【特許請求の範囲】

【請求項 1】 該当する階調画素データ又は黒データに応じた電圧が印加される複数行の信号線、走査信号が印加される複数列の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルを備え、前記各画素は、印加された当該の前記階調画素データ又は黒データに応じた電圧を次の階調画素データ又は黒データに応じた電圧が印加されるまで保持する表示素子を有する画像表示装置であって、

前記表示パネルは、

前記各走査線のうちの 1 つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第 1 の画素、及び前記各走査線のうちの連続する 2 つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第 2 の画素を有し、前記各第 1 の画素と前記各第 2 の画素とが行方向に 1 つずつ又は複数連続して交互に配置されると共に、列方向に 1 つずつ交互に配置されてなる構成とされ、

前記各走査線のうちの連続する 2 つの走査線を選択する第 1 の選択期間、及び前記連続する 2 つの走査線のうちの前の走査線のみを選択する第 2 の選択期間が設定され、前記第 1 又は第 2 の選択期間に前記各走査線を順次選択し、かつ、前記各走査線に対して、1 フレーム期間中に階調画素データ書き込み用の走査信号を印加する第 1 の順次走査、及び該第 1 の順次走査で選択されている走査線から所定ライン離れた走査線に黒データ書き込み用の第 2 の順次走査を行う走査線駆動回路と、

画像データに基づいて 1 つ又は複数の前記信号線毎に前記階調画素データに応じた電圧と黒データに応じた電圧とを前記第 1 又は第 2 の選択期間毎に交互に出力し、かつ、連続する 2 選択期間毎に前記階調画素データに応じた電圧と黒データに応じた電圧とを極性及び順序を反転して出力する信号線駆動回路とが設けら

れていることを特徴とする画像表示装置。

【請求項 2】 前記信号線駆動回路は、

前記複数行の信号線の数の半数のラッチ回路を有し、前記画像データが前記ラッチ回路と同数に分離されて生成された画素データを蓄積するラッチ部と、

前記複数行の信号線の数の半数のデジタル／アナログコンバータを有し、前記画素データを前記表示パネルの特性に合わせてデジタル／アナログ変換して正極性又は負極性の前記階調画素データを生成するデジタル／アナログコンバータ部と、

前記黒データに応じた電圧を生成する黒電圧生成部と、

前記複数行の信号線の数の半数の出力アンプを有し、正極性又は負極性の前記階調画素データを前記出力アンプを介して前記複数行の信号線のうちの該当する信号線に送出すると共に、正極性又は負極性の前記黒データに応じた電圧を該当する他の信号線に送出する出力バッファ部とが設けられていることを特徴とする請求項 1 記載の画像表示装置。

【請求項 3】 前記表示パネルは、

前記複数列の走査線のうちの最終列の走査線の次に設けられた 1 つの付加走査線、該付加走査線を含む各走査線のうちの 1 つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第 1 の画素、及び前記付加走査線を含む各走査線のうちの連続する 2 つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第 2 の画素を有し、前記各第 1 の画素と前記各第 2 の画素とが行方向に 1 つずつ又は複数連続して交互に配置されると共に、列方向に 1 つずつ交互に配置されてなる構成とされ、

前記走査線駆動回路は、

前記付加走査線を含む各走査線のうちの連続する 2 つの走査線を選択する第 1 の選択期間、及び前記連続する 2 つの走査線のうちの前の走査線のみを選択する第 2 の選択期間が設定され、前記第 1 又は第 2 の選択期間に前記付加走査線を含む各走査線を順次選択し、かつ、前記付加走査線を含む各走査線に対して、1 フレーム期間中に階調画素データ書き込み用の走査信号を印加する第 1 の順次走査

、及び該第1の順次走査で選択されている走査線から所定ライン離れた走査線に黒データ書き込み用の第2の順次走査を行う構成とされていることを特徴とする請求項1記載の画像表示装置。

【請求項4】 前記第1又は第2の画素は、

前記走査信号に基づいてオン／オフ制御され、オン状態になったときに前記表示素子に前記階調画素データ又は黒データに応じた電圧を供給する薄膜トランジスタを備え、

前記表示素子は、

供給された前記階調画素データ又は黒データに応じた電圧を保持する保持容量と、

該保持容量の2個の対向する電極の間に保持された液晶とから構成されていることを特徴とする請求項1又は3記載の画像表示装置。

【請求項5】 該当する階調画素データ又は黒データに応じた電圧が印加される複数行の信号線、走査信号が印加される複数列の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルを備え、前記各画素は、当該の前記階調画素データ又は黒データに応じた電圧が印加されてから次の階調画素データ又は黒データに応じた電圧が印加されるまで保持する表示素子を有し、前記各走査線のうちの1つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第1の画素、及び前記各走査線のうちの連続する2つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第2の画素を有し、前記各第1の画素と前記各第2の画素とが行方向に1つずつ又は複数連続して交互に配置されると共に、列方向に1つずつ交互に配置されてなる表示パネルを有する画像表示装置に用いられ、

前記複数行の信号線の数の半数のラッチ回路を有し、前記画像データが前記ラッチ回路と同数に分離されて生成された画素データを蓄積するラッチ部と、

前記複数行の信号線の数の半数のデジタル／アナログコンバータを有し、前記画素データを前記表示パネルの特性に合わせてデジタル／アナログ変換して正極

性又は負極性の前記階調画素データを生成するデジタル／アナログコンバータ部と、

前記黒データに対応した電圧を生成する黒電圧生成部と、

前記複数行の信号線の数の半数の出力アンプを有し、正極性又は負極性の前記階調画素データを前記出力アンプを介して前記複数行の信号線のうちの該当する信号線に送出すると共に、正極性又は負極性の前記黒データに対応した電圧を該当する他の信号線に送出する出力バッファ部とが設けられていることを特徴とする信号線駆動回路。

【請求項 6】 該当する階調画素データ又は黒データに応じた電圧が印加される複数行の信号線、走査信号が印加される複数列の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルを備え、前記各画素は、印加された当該の前記階調画素データ又は黒データに応じた電圧を次の階調画素データ又は黒データに応じた電圧が印加されるまで保持する表示素子を有する画像表示装置に用いられ、前記各走査線及び信号線を駆動する駆動方法であって、

前記表示パネルに、前記各走査線のうちの 1 つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第 1 の画素、及び前記各走査線のうちの連続する 2 つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第 2 の画素を設け、前記各第 1 の画素と前記各第 2 の画素とを行方向に 1 つずつ又は複数連続して交互に配置すると共に、列方向に 1 つずつ交互に配置して構成しておき、

前記各走査線のうちの連続する 2 つの走査線を選択する第 1 の選択期間、及び前記連続する 2 つの走査線のうちの前の走査線のみを選択する第 2 の選択期間を設定し、前記第 1 又は第 2 の選択期間に前記各走査線を順次選択し、かつ、前記各走査線に対して、1 フレーム期間中に階調画素データ書き込み用の走査信号を印加する第 1 の順次走査、及び該第 1 の順次走査で選択されている走査線から所定ライン離れた走査線に黒データ書き込み用の第 2 の順次走査を行い、

画像データに基づいて 1 つ又は複数の前記信号線毎に前記階調画素データに応

じた電圧と黒データに応じた電圧とを前記第 1 又は第 2 の選択期間毎に交互に印加し、かつ、連続する 2 選択期間毎に前記階調画素データに応じた電圧と黒データに応じた電圧とを極性及び順序を反転して印加することを特徴とする駆動方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、画像表示装置、該画像表示装置に用いられる信号線駆動回路及び駆動方法に係り、特に、書き込まれた画素データが保持される表示素子（たとえば液晶など）を用いて動画像を表示する場合に用いて好適な画像表示装置、該画像表示装置に用いられる信号線駆動回路及び駆動方法に関する。

##### 【0002】

#### 【従来の技術】

画像表示装置のうち、特に液晶表示装置（Liquid Crystal Display、以下、「LCD」という）は、近年では、大型化かつ高精細化が進み、また、パーソナルコンピュータやワードプロセッサなどのような静止画像を表示する装置のみでなく、テレビジョン（TV）などのような動画像を表示する装置にも用いられるようになってきている。LCDは、CRT（Cathod Ray Tube）を備えたTVに比べて奥行きが薄く、占有面積が小さいため、今後一般家庭への普及率が高くなるものと予想される。

##### 【0003】

この種の液晶表示装置は、従来では、たとえば図14に示すように、液晶パネル1と、信号線駆動回路2と、走査線駆動回路3とから構成されている。液晶パネル1は、信号線 $X_i$ （ $i=1, 2, \dots, m$ 、たとえば、 $m=640 \times 3$ ）と、走査線 $Y_j$ （ $j=1, 2, \dots, n$ 、たとえば、 $n=480$ ）と、画素 $10_{ij}$ とから構成されている。信号線 $X_i$ は、該当する階調画素データ $D_i$ に応じた電圧が印加される。走査線 $Y_j$ は、設定された順序で走査信号 $G_j$ が印加される。画素 $10_{ij}$ は、信号線 $X_i$ と走査線 $Y_j$ との交差箇所に設けられ、TFT（Thin Film Transistor、薄膜トランジスタ） $11_{ij}$ と、画素容量 $12_{ij}$ と、共通電極13とから

構成されている。ただし、画素容量  $12_{ij}$  は、印加された階調画素データ  $D_i$  に応じた電圧を保持する保持容量、及び同階調画素データ  $D_i$  に対応した階調の画素を表示する液晶を模式的に表したものである。信号線駆動回路 2 は、画像データ  $VD$  に基づいて階調画素データ  $D_i$  に応じた電圧を各信号線  $X_i$  に印加する。走査線駆動回路 3 は、走査信号  $G_j$  を線順次で各走査線  $Y_j$  に印加する。

#### 【0004】

図 15 は、図 14 中の信号線駆動回路 2 の電氣的構成を示す図である。

この信号線駆動回路 2 は、図 15 に示すように、シフトレジスタ部 21 と、データレジスタ部 22 と、ラッチ部 23 と、D/A（デジタル／アナログ）コンバータ部 24 と、出力バッファ部 25 とから構成されている。

#### 【0005】

図 16 は、図 15 中のシフトレジスタ部 21 及びデータレジスタ部 22 の内部構成を示す図である。

同図 16 に示すように、シフトレジスタ部 21 は、信号線  $X_i$  と同数（すなわち  $m$ ）のフリップフロップ  $F_1, F_2, \dots, F_m$  が直列接続されて構成され、水平方向クロック信号  $HCK$  に応じてスタートパルス信号  $STH$  をラッチして後段に順次シフトし、ラッチ信号  $ls_1, ls_2, \dots, ls_m$  を出力する。また、データレジスタ部 22 は、画像データ  $VD$  中の各データ信号  $Data_0 \sim 7$  の数と信号線  $X_i$  の数（すなわち  $m$ ）とを掛け合わせた数のラッチ回路  $L_1(0), L_1(1), \dots, L_1(7), L_2(0), L_2(1), \dots, L_2(7), \dots, L_m(0), L_m(1), \dots, L_m(7)$  で構成され、ラッチ信号  $ls_1, ls_2, \dots, ls_m$  に応じて各データ信号  $Data_0 \sim 7$  をラッチする。

#### 【0006】

図 17 は、図 15 中のラッチ部 23、D/A コンバータ部 24 及び出力バッファ部 25 の内部構成を示す図である。

同図 17 に示すように、ラッチ部 23 は、ラッチ回路（LAT） $31_i$ （ $i = 1, 2, \dots, m$ ）と、マルチプレクサ（Multiplexer） $32_k$ （ $k = 1, 3, \dots, m-1$ ）とから構成されている。D/A コンバータ部 24 は、+側の階調画素データを出力する D/A コンバータ（DAC+） $33_e$ （ $e = 1, 3, \dots, m-$



1) と、一側の階調画素データを出力する D/A コンバータ (DAC-) 33<sub>f</sub> (f = 2, 4, ..., m) とから構成されている。出力バッファ部 25 は、出力アンプ 34<sub>i</sub> (i = 1, 2, ..., m) と、マルチプレクサ (Multiplexer) 35<sub>k</sub> (k = 1, 3, ..., m-1) とから構成されている。

#### 【0007】

この信号線駆動回路 2 では、図 18 に示すように、スタートパルス信号 STH がシフトレジスタ部 21 で水平方向クロック信号 HCK に同期してシフトされ、信号線 X<sub>i</sub> と同数 (すなわち、m) のラッチ信号 l s 1, l s 2, ..., l s m が順次生成されてデータレジスタ部 22 に送出される。一方、画像データ VD 中のデータ信号 Data 0 ~ 7 がデータレジスタ部 22 に入力され、シフトレジスタ部 21 から送出されたラッチ信号 l s 1, l s 2, ..., l s m に基づいて信号線 X<sub>i</sub> と同数に分離されて蓄積される。蓄積された画像データ VD は、液晶パネル 1 の信号線 X<sub>i</sub> と同数 (すなわち、m 画素) の階調画素データとしてラッチ部 23 に格納される。格納された階調画素データは、出力極性反転信号 POL に基づいて選択されて出力タイミング信号 STB に基づいて出力され、D/A コンバータ部 24 で基準階調電圧 V0 ~ V9 に基づいて液晶パネル 1 の透過率特性に対応した + 側又は - 側の電圧に変換される。そして、出力バッファ部 25 で出力極性反転信号 POL に基づいて + 側又は - 側の階調画素データが選択され、出力タイミング信号 STB に基づいて 1 H 期間 (1 水平期間) の階調画素データ D<sub>i</sub> (i = 1, 2, ..., m) として出力される。

#### 【0008】

たとえば、図 17 中の 1 番左のラッチ回路 (LAT) 31<sub>1</sub> に格納された階調画素データは、マルチプレクサ 32<sub>1</sub> で D/A コンバータ (DAC+) 33<sub>1</sub> 又は D/A コンバータ (DAC-) 33<sub>2</sub> へ選択的に送出され、さらに出力アンプ 34<sub>1</sub> 又は出力アンプ 34<sub>2</sub> を経てマルチプレクサ 35<sub>1</sub> で選択されて信号線 X<sub>1</sub> へ階調画素データ D<sub>1</sub> として送出される。なお、ラッチ回路 31<sub>1</sub> に格納された階調画素データは、信号線 X<sub>2</sub> へ送出されることはない。

#### 【0009】

図 14 の液晶表示装置では、走査信号 G<sub>j</sub> が線順次で各走査線 Y<sub>j</sub> に印加され、

同走査信号  $G_j$  によってオン状態となった  $TFT11_{ij}$  を介して階調画素データ  $D_i$  に応じた電圧が画素容量  $12_{ij}$  に印加されることにより、画像データ  $VD$  に対応した画像が表示される。すなわち、図 19 に示すように、信号線駆動回路 2 から、偶数行と奇数行の信号線  $X_i$  に異なる極性の階調画素データ  $D_i$  が出力され、また、走査線  $Y_j$  は、走査線駆動回路 3 により、1 フレーム期間中の選択期間 ( $T_0, T_1, T_2, \dots$ ) に走査信号  $G_j$  が線順次に印加される。そして、図 20 に示すように、各選択期間 ( $T_0, T_1, T_2, \dots$ ) において、階調画素データ (①+, ②-, ...) が当該の画素 ( $A, B, \dots$ ) に書き込まれる。

#### 【0010】

ところが、この液晶表示装置で動画像の表示を行う場合、現状では、残像現象などの画質劣化が発生するという問題点がある。この原因は、図 21 に示すように、液晶の応答速度が、たとえば  $TN$  (Twisted Nematic) 型では数十  $ms$  であり、1 フレーム期間 (たとえば、 $1/60s$ ) よりも遅い。このため、階調画素データ  $D_i$  の階調値が変化したとき、表示画像の階調は、1 フレーム期間では階調値の変化に追従できず、数フレーム期間を要する形で累積応答する。これが残像現象の一因と考えられている。

#### 【0011】

しかしながら、非特許文献 1 によれば、この残像現象は、液晶の応答速度のみに原因があるわけではなく、 $LCD$  における画像の表示方法に起因する。すなわち、 $CRT$  は、図 22 に示すように、1 フレーム期間のうち、電子ビームが管面の蛍光体に当たった時点から数ミリ秒の間のみ階調  $L$  で発光する。また、 $LCD$  では、図 23 に示すように、画素データの書き込みが終わったときから次の書き込みに至るまで 1 フレーム期間に亘って表示光の階調  $L$  が保持される。このため、 $CRT$  で動画像を表示する場合、時間に対応した位置に表示対象物が瞬間的に表示されるので残像現象が発生しないが、 $LCD$  では新たに画素データの書き込みが行われる直前まで 1 フレーム前の画素データが残るので、残像現象が発生する。

#### 【0012】

この残像現象を解消するものとして、特許文献 1 に記載された画像表示装置が提

案されている。

同画像表示装置では、ある画素行に対して階調画素データに応じた電圧が印加される一方、当該の画素行と複数行離れた画素行に黒データの電圧が順次印加される。このため、1フレーム期間中に黒データが挿入され、前に書き込まれている階調画素データがリセットされる。

#### 【0013】

すなわち、図24に示すように、選択期間  $t_0$  において、走査線  $Y_1$  に走査信号  $G_1$  が印加されると、図25に示すように、画素Aに階調画素データ①(+)及び画素Bに階調画素データ②(-)が書き込まれる。次に、選択期間  $t_1$  において、走査線  $Y_k$  に走査信号  $G_k$  が印加されると、図25に示すように、画素  $BL_1$  に黒データ(+)及び画素  $BL_2$  に黒データ(-)が書き込まれる。なお、図24では、黒データの電圧は、液晶パネル1がノーマリホワイト型の場合のレベルで表示されている。液晶パネル1がノーマリブラック型であれば、黒データの電圧は、ほぼVCOMのレベルとなる。選択期間  $t_2$  において、走査線  $Y_2$  に走査信号  $G_2$  が印加されると、図25に示すように、画素Cに階調画素データ③(-)及び画素Dに階調画素データ④(+)が書き込まれる。選択期間  $t_3$  において、走査線  $Y_{k+1}$  に走査信号  $G_{k+1}$  が印加されると、図25に示すように、画素  $BL_3$  に黒データ(-)及び画素  $BL_4$  に黒データ(+)が書き込まれる。選択期間  $t_4$  において、走査線  $Y_3$  に走査信号  $G_3$  が印加されると、図25に示すように、画素Eに階調画素データ⑤(+)及び画素Fに階調画素データ⑥(-)が書き込まれる。このようにして、図26に示すように、黒画面表示領域がスキャンされることにより、残像現象が抑えられる。

#### 【0014】

##### 【特許文献1】

特開2000-122596号公報(第1頁、図1)

##### 【非特許文献1】

栗田泰市郎、“ホールド型ディスプレイにおける動画の画質劣化とその改善方法”、1999年電子情報通信学会総合大会予稿、電子情報通信学会、SC-8-1、P.207-208

## 【0015】

## 【発明が解決しようとする課題】

しかしながら、上記特許文献1に記載された画像表示装置では、次のような問題点があった。

すなわち、図24及び図25に示すような駆動方法により残像現象が解消されても、同装置における信号線駆動回路のコストの占める割合は依然として従来と同様に高いままであり、装置のコストの削減が強く求められている昨今の状況では、残像現象の解消と併せて信号線駆動回路のチップサイズを縮小することが重要な課題となっている。ところが、従来の信号線駆動回路は、液晶パネルの信号線と同数(m)の画素データを保持した後に各信号線へ同時に送出する構成となっているため、信号線の数によってチップサイズがほぼ決まっている。上記図24及び図25に示す駆動方法においても、信号線駆動回路は、液晶パネルの信号線と同数の画素データを保持した後に各信号線へ同時に送出し、この後、各信号線へ同時に黒データを送出する構成になっているため、チップサイズが縮小されないという問題点がある。

## 【0016】

この発明は、上述の事情に鑑みてなされたもので、動画像表示時の残像現象が解消されると共に、信号線駆動回路の回路規模が縮小される画像表示装置、該画像表示装置に用いられる信号線駆動回路及び駆動方法を提供することを目的としている。

## 【0017】

## 【課題を解決するための手段】

上記課題を解決するために、請求項1記載の発明は、該当する階調画素データ又は黒データに応じた電圧が印加される複数行の信号線、走査信号が印加される複数列の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルを備え、前記各画素は、印加された当該の前記階調画素データ又は黒データに応じた電圧を次の階調画素データ又は黒データに応じた電圧が印加されるまで保持する表示素子を有する画像表示装置に係り、前記表示パネルは、前記各走査線のうちの1つの走査線に前記走査信号が印加されたと

きに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第1の画素、及び前記各走査線のうちの連続する2つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第2の画素を有し、前記各第1の画素と前記各第2の画素とが行方向に1つずつ又は複数連続して交互に配置されると共に、列方向に1つずつ交互に配置されてなる構成とされ、前記各走査線のうちの連続する2つの走査線を選択する第1の選択期間、及び前記連続する2つの走査線のうちの前の走査線のみを選択する第2の選択期間が設定され、前記第1又は第2の選択期間に前記各走査線を順次選択し、かつ、前記各走査線に対して、1フレーム期間中に階調画素データ書き込み用の走査信号を印加する第1の順次走査、及び該第1の順次走査で選択されている走査線から所定ライン離れた走査線に黒データ書き込み用の第2の順次走査を行う走査線駆動回路と、画像データに基づいて1つ又は複数の前記信号線毎に前記階調画素データに応じた電圧と黒データに応じた電圧とを前記第1又は第2の選択期間毎に交互に出力し、かつ、連続する2選択期間毎に前記階調画素データに応じた電圧と黒データに応じた電圧とを極性及び順序を反転して出力する信号線駆動回路とが設けられていることを特徴としている。

#### 【0018】

請求項2記載の発明は、請求項1記載の画像表示装置に係り、前記信号線駆動回路は、前記複数行の信号線の数の半数のラッチ回路を有し、前記画像データが前記ラッチ回路と同数に分離されて生成された画素データを蓄積するラッチ部と、前記複数行の信号線の数の半数のデジタル／アナログコンバータを有し、前記画素データを前記表示パネルの特性に合わせてデジタル／アナログ変換して正極性又は負極性の前記階調画素データを生成するデジタル／アナログコンバータ部と、前記黒データに応じた電圧を生成する黒電圧生成部と、前記複数行の信号線の数の半数の出力アンプを有し、正極性又は負極性の前記階調画素データを前記出力アンプを介して前記複数行の信号線のうちの該当する信号線に送出すると共に、正極性又は負極性の前記黒データに応じた電圧を該当する他の信号線に送出する出力バッファ部とが設けられていることを特徴としている。

## 【0019】

請求項3記載の発明は、請求項1記載の画像表示装置に係り、前記表示パネルは、前記複数列の走査線のうちの最終列の走査線の次に設けられた1つの付加走査線、該付加走査線を含む各走査線のうちの1つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第1の画素、及び前記付加走査線を含む各走査線のうちの連続する2つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第2の画素を有し、前記各第1の画素と前記各第2の画素とが行方向に1つずつ又は複数連続して交互に配置されると共に、列方向に1つずつ交互に配置されてなる構成とされ、前記走査線駆動回路は、前記付加走査線を含む各走査線のうちの連続する2つの走査線を選択する第1の選択期間、及び前記連続する2つの走査線のうちの前の走査線のみを選択する第2の選択期間が設定され、前記第1又は第2の選択期間に前記付加走査線を含む各走査線を順次選択し、かつ、前記付加走査線を含む各走査線に対して、1フレーム期間中に階調画素データ書き込み用の走査信号を印加する第1の順次走査、及び該第1の順次走査で選択されている走査線から所定ライン離れた走査線に黒データ書き込み用の第2の順次走査を行う構成とされていることを特徴としている。

## 【0020】

請求項4記載の発明は、請求項1又は3記載の画像表示装置に係り、前記第1又は第2の画素は、前記走査信号に基づいてオン／オフ制御され、オン状態になったときに前記表示素子に前記階調画素データ又は黒データに応じた電圧を供給する薄膜トランジスタを備え、前記表示素子は、供給された前記階調画素データ又は黒データに応じた電圧を保持する保持容量と、該保持容量の2個の対向する電極の間に保持された液晶とから構成されていることを特徴としている。

## 【0021】

請求項5記載の発明は、信号線駆動回路に係り、該当する階調画素データ又は黒データに応じた電圧が印加される複数行の信号線、走査信号が印加される複数列の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の

画素を有する表示パネルを備え、前記各画素は、当該の前記階調画素データ又は黒データに応じた電圧が印加されてから次の階調画素データ又は黒データに応じた電圧が印加されるまで保持する表示素子を有し、前記各走査線のうちの1つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第1の画素、及び前記各走査線のうちの連続する2つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第2の画素を有し、前記各第1の画素と前記各第2の画素とが行方向に1つずつ又は複数連続して交互に配置されると共に、列方向に1つずつ交互に配置されてなる表示パネルを有する画像表示装置に用いられ、前記複数行の信号線の数の半数のラッチ回路を有し、前記画像データが前記ラッチ回路と同数に分離されて生成された画素データを蓄積するラッチ部と、前記複数行の信号線の数の半数のデジタル／アナログコンバータを有し、前記画素データを前記表示パネルの特性に合わせてデジタル／アナログ変換して正極性又は負極性の前記階調画素データを生成するデジタル／アナログコンバータ部と、前記黒データに対応した電圧を生成する黒電圧生成部と、前記複数行の信号線の数の半数の出力アンプを有し、正極性又は負極性の前記階調画素データを前記出力アンプを介して前記複数行の信号線のうちの該当する信号線に送出すると共に、正極性又は負極性の前記黒データに対応した電圧を該当する他の信号線に送出する出力バッファ部とが設けられていることを特徴としている。

#### 【0022】

請求項6記載の発明は、該当する階調画素データ又は黒データに応じた電圧が印加される複数行の信号線、走査信号が印加される複数列の走査線、及び前記各信号線と前記各走査線との交差箇所に設けられた複数の画素を有する表示パネルを備え、前記各画素は、印加された当該の前記階調画素データ又は黒データに応じた電圧を次の階調画素データ又は黒データに応じた電圧が印加されるまで保持する表示素子を有する画像表示装置に用いられ、前記各走査線及び信号線を駆動する駆動方法に係り、前記表示パネルに、前記各走査線のうちの1つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧

が前記表示素子に印加される複数の第1の画素、及び前記各走査線のうちの連続する2つの走査線に前記走査信号が印加されたときに前記階調画素データ又は黒データに応じた電圧が前記表示素子に印加される複数の第2の画素を設け、前記各第1の画素と前記各第2の画素とを行方向に1つずつ又は複数連続して交互に配置すると共に、列方向に1つずつ交互に配置して構成しておき、前記各走査線のうちの連続する2つの走査線を選択する第1の選択期間、及び前記連続する2つの走査線のうちの前の走査線のみを選択する第2の選択期間を設定し、前記第1又は第2の選択期間に前記各走査線を順次選択し、かつ、前記各走査線に対して、1フレーム期間中に階調画素データ書き込み用の走査信号を印加する第1の順次走査、及び該第1の順次走査で選択されている走査線から所定ライン離れた走査線に黒データ書き込み用の第2の順次走査を行い、画像データに基づいて1つ又は複数の前記信号線毎に前記階調画素データに応じた電圧と黒データに応じた電圧とを前記第1又は第2の選択期間毎に交互に印加し、かつ、連続する2選択期間毎に前記階調画素データに応じた電圧と黒データに応じた電圧とを極性及び順序を反転して印加することを特徴としている。

### 【0023】

#### 【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態について説明する。

#### 第1の実施形態

図1は、この発明の第1の実施形態である画像表示装置の電氣的構成を示す図である。

この形態の画像表示装置は、同図に示すように、液晶表示装置であり、液晶パネル41と、信号線駆動回路42と、走査線駆動回路43とから構成されている。液晶パネル41は、信号線 $X_i$  ( $i = 1, 2, \dots, m$ 、たとえば、 $m = 640 \times 3$ )と、走査線 $Y_j$  ( $j = 1, 2, \dots, n+1$ 、たとえば、 $n = 480$ )と、画素50<sub>ij</sub>とから構成されている。信号線 $X_i$ は、該当する階調画素データ $D_i$ 又は黒データに応じた電圧が印加される。走査線 $Y_j$ は、走査信号 $G_j$ が印加される。画素50<sub>ij</sub>は、信号線 $X_i$ と走査線 $Y_j$ との交差箇所に設けられ、TFT51<sub>ij</sub>と、TFT52<sub>ij</sub>と、画素容量53<sub>ij</sub>と、共通電極54とから構成されている。



ただし、画素容量  $53_{ij}$  は、印加された階調画素データ  $D_i$  又は黒データを保持する保持容量、及び同保持容量の 2 個の対向する電極の間に保持された液晶を模式的に表したものである。

#### 【0024】

ここで、画素  $50_{ij}$  は、複数の第 1 及び第 2 の画素から構成されている。すなわち、第 1 の画素は、ゲート電極が走査線  $Y_j$  に共通に接続された 2 つの TFT  $51_{ij}$ 、 $52_{ij}$  を有し、走査線  $Y_j$  に走査信号  $G_j$  が印加されたときに階調画素データ  $D_i$  又は黒データに応じた電圧が画素容量  $53_{ij}$  に印加される。第 2 の画素は、ゲート電極が走査線  $Y_j$  に接続された TFT  $51_{ij}$ 、及びゲート電極が同走査線  $Y_j$  の次の列の走査線  $Y_{j+1}$  に接続された TFT  $52_{ij}$  を有し、連続する 2 つの走査線  $Y_j$  及び走査線  $Y_{j+1}$  に走査信号  $G_j$  及び走査信号  $G_{j+1}$  がそれぞれ印加されたときに階調画素データ  $D_i$  又は黒データに応じた電圧が画素容量  $53_{ij}$  に印加される。そして、各第 1 の画素と各第 2 の画素とが行方向に 1 つずつ交互に配置されると共に、列方向に 1 つずつ交互に配置されている。この液晶パネル 41 では、従来の図 11 中の液晶パネル 1 と比較して、走査線  $Y_n$  の次に 1 つの走査線  $Y_{n+1}$  (付加走査線) が設けられ、かつ、各画素  $50_{ij}$  中の TFT が 1 個増加しているが、液晶パネル 41 を作成するためのマスク数及び工程数の増加はないため、製造経費が増加することはない。

#### 【0025】

信号線駆動回路 42 は、図示しない信号処理回路から送出された画像データ  $V_D$  に基づいて階調画素データ  $D_i$  又は黒データを各信号線  $X_i$  に印加する。走査線駆動回路 43 は、複数の論理回路などで構成され、設定された順序で走査信号  $G_j$  を各走査線  $Y_j$  に印加する。特に、この実施形態では、走査線駆動回路 43 は、走査線  $Y_{n+1}$  を含む各走査線のうちの連続する 2 つの走査線を選択する第 1 の選択期間、及び同連続する 2 つの走査線のうちの前の走査線のみを選択する第 2 の選択期間が設定され、同第 1 又は第 2 の選択期間に走査線  $Y_{n+1}$  を含む各走査線を順次選択し、かつ、同走査線  $Y_{n+1}$  を含む各走査線に対して、1 フレーム期間中に階調画素データ書き込み用の走査信号を印加する第 1 の順次走査、及び同第 1 の順次走査で選択されている走査線から所定ライン離れた走査線に黒データ書

き込み用の第2の順次走査を行う。

#### 【0026】

図2は、図1の液晶表示装置の動作を説明するためのタイムチャート、及び図3が、1フレーム期間内で液晶パネル41に階調画素データ $D_i$ 及び黒データ $B_L$ が書き込まれる動作を説明する模式図である。

これらの図を参照して、この形態の画像表示装置に用いられる駆動方法について説明する。

この液晶表示装置では、図2に示すように、1フレーム期間中に連続した2ラインの走査線 $Y_j$ が選択される期間（第1の選択期間、 $t_0$ ,  $t_2$ , ...）、及び、これらの連続した2ラインのうちの前ラインのみが選択される期間（第2の選択期間、 $t_1$ ,  $t_3$ , ...）があり、同各走査線 $Y_j$ は、走査線駆動回路43により、これらの2期間に順次走査される。また、各走査線 $Y_j$ は、走査線駆動回路43により、1フレーム期間中に階調画素データ書き込み用の順次走査（第1の順次走査）、及び黒データ書き込み用の順次走査（第2の順次走査）が行われる。また、画素データ書き込み用に選択されている走査線 $Y_j$ と、黒データ書き込み用に選択されている走査線 $Y_j$ とは、所定ライン分だけ離れている。

#### 【0027】

また、各選択期間（ $t_0$ ,  $t_1$ ,  $t_2$ , ...）において、信号線駆動回路42から、信号線 $X_i$ の1ライン毎に階調画素データ $D_i$ と黒データ $B_L$ とが交互に出力される。さらに、階調画素データ $D_i$ と黒データ $B_L$ とは、連続する2選択期間毎に極性と順序とが反転される。なお、図2では、黒データの電圧は、液晶パネル41がノーマリホワイト型の場合のレベルで表示されている。

#### 【0028】

そして、選択期間 $t_0$ において、走査信号 $G_1$ ,  $G_2$ ,  $G_k$ ,  $G_{k+1}$ （ $k$ は偶数）が走査線 $Y_1$ ,  $Y_2$ ,  $Y_k$ ,  $Y_{k+1}$ にそれぞれ印加されると、画素A, B, C及び画素 $B_L1$ ,  $B_L2$ ,  $B_L4$ が選択され、図3に示すように、画素A, C,  $B_L1$ に画素データ①（+）、及び画素B,  $B_L2$ ,  $B_L4$ に黒データ（-）が書き込まれる。選択期間 $t_1$ において、走査信号 $G_1$ ,  $G_k$ が走査線 $Y_1$ ,  $Y_k$ にそれぞれ印加されると、画素B,  $B_L1$ が選択され、図3に示すように、画素Bに

画素データ②（－）、及び画素BL1に黒データ（＋）が書き込まれる。また、このとき、画素A、Cの画素データ①（＋）、及び画素BL2、BL4の黒データ（－）が確定する。

#### 【0029】

選択期間  $t_2$  において、走査信号  $G_2$ ,  $G_3$ ,  $G_{k+1}$ ,  $G_{k+2}$  が走査線  $Y_2$ ,  $Y_3$ ,  $Y_{k+1}$ ,  $Y_{k+2}$  にそれぞれ印加されると、画素C、D、F及び画素BL3、BL4、BL5が選択され、図3に示すように、画素C、BL3、BL5に黒データ（－）、及び画素D、F、BL4に画素データ④（＋）が書き込まれる。また、このとき、画素Bの画素データ②（－）、及び画素BL1の黒データ（＋）が確定する。選択期間  $t_3$  において、走査信号  $G_2$ ,  $G_{k+1}$  が走査線  $Y_2$ ,  $Y_{k+1}$  にそれぞれ印加されると、画素C及び、画素BL4が選択され、図3に示すように、画素Cに画素データ③（－）、及び画素BL4に黒データ（＋）が書き込まれる。また、このとき、画素D、Fの画素データ④（＋）、及び画素BL3、BL5の黒データ（－）が確定する。この後、同様の動作が順次繰り返され、残像現象が改善される。

#### 【0030】

図4は、図1中の信号線駆動回路42の構成図である。

この信号線駆動回路42は、同図4に示すように、シフトレジスタ部61と、データレジスタ部62と、ラッチ部63と、D/Aコンバータ部64と、黒電圧生成部65と、出力バッファ部66とから構成されている。

#### 【0031】

図5は、図4中のシフトレジスタ部61及びデータレジスタ部62の内部構成を示す図である。

同図5に示すように、シフトレジスタ部61は、信号線  $X_i$  の半数（すなわち  $m/2$ ）のフリップフロップ  $F_1$ ,  $F_2$ , ...,  $F(m/2)$  が直列接続されて構成され、水平方向クロック信号  $HCK$  に応じてスタートパルス信号  $STH$  をラッチして後段に順次シフトし、ラッチ信号  $ls_1$ ,  $ls_2$ , ...,  $ls(m/2)$  を出力する。また、データレジスタ部62は、画像データ  $VD$  中の各データ信号  $Data_0 \sim 7$  の数と信号線  $X_i$  の半数（すなわち  $m/2$ ）とを掛け合わせた数の

ラッチ回路  $L1(0), L1(1), \dots, L1(7), L2(0), L2(1), \dots, L2(7), \dots, L(m/2)(0), L(m/2)(1), \dots, L(m/2)(7)$  で構成され、ラッチ信号  $ls1, ls2, \dots, ls(m/2)$  に応じて各データ信号  $Data0 \sim 7$  をラッチする。

### 【0032】

図6は、図4中のラッチ部63、D/Aコンバータ部64及び出力バッファ部66の内部構成を示す図である。

ラッチ部63は、同図6に示すように、信号線  $X_i$  の数の半数のラッチ回路 (LAT)  $71_k (k=1, 3, \dots, m-1)$  から構成され、画像データ  $VD$  が同ラッチ回路  $71_k$  と同数に分離されて生成された画素データを蓄積する。D/Aコンバータ部64は、信号線  $X_i$  の数の半数のD/Aコンバータ (DAC+/-)  $72_e (e=1, 3, \dots, m-1)$  から構成され、画素データを液晶パネル41の特性に合わせてデジタル/アナログ変換して正極性 (+) 又は負極性 (-) の階調画素データを生成する。出力バッファ部66は、信号線  $X_i$  の数の半数の出力アンプ  $73_k (k=1, 3, \dots, m-1)$  と、マルチプレクサ (Multiplexer)  $74_e (e=1, 3, \dots, m-1)$  と、マルチプレクサ (Multiplexer) 75と、黒書き込み用アンプ76とから構成され、D/Aコンバータ  $72_e$  から出力される前記階調画素データ (+/-) を、出力アンプ  $73_k$  及びマルチプレクサ  $74_e$  を介して該当する信号線  $X_i$  に送出すると共に、黒電圧生成部65から供給される正極性又は負極性の黒データに対応した電圧 ( $V_{black+}$  又は  $V_{black-}$ ) をマルチプレクサ75、黒書き込み用アンプ76及びマルチプレクサ  $74_e$  を介して該当する他の信号線  $X_i$  に送出する。

### 【0033】

この信号線駆動回路42では、図7に示すように、スタートパルス信号  $STH$  がシフトレジスタ部61で水平方向クロック信号  $HCK$  に同期してシフトされ、信号線  $X_i$  の半数のラッチ信号  $ls1, ls2, \dots, ls(m/2)$  が順次生成されてデータレジスタ部62に送出される。一方、画像データ  $VD$  中のデータ信号  $Data0 \sim 7$  がデータレジスタ部62に入力され、シフトレジスタ部61から送出されたラッチ信号  $ls1, ls2, \dots, ls(m/2)$  に基づき、1水平

期間（1 H 期間）の前半で信号線  $X_i$  のうちの奇数行目に対応する階調画素データが蓄積され、1 水平期間の後半で信号線  $X_i$  のうちの偶数行目に対応する階調画素データが蓄積される。蓄積された階調画素データは、信号線  $X_i$  の半数の階調画素データとしてラッチ部 63 に格納される。格納された階調画素データは、D/A コンバータ部 64 で基準階調電圧  $V_0 \sim V_9$  に基づいて液晶パネル 41 の透過率特性に対応した+側又は-側の電圧の階調画素データに変換される。そして、出力極性反転信号 POL に基づいて+側又は-側の階調画素データが選択されて出力タイミング信号 STB に基づいて出力され、出力バッファ部 66 で出力極性反転信号 POL に基づいて+側の階調画素データ、-側の階調画素データ、+側の黒データ、又は-側の黒データが選択される。選択された各データは、送出される信号線  $X_i$  がデータセレクト信号 DSL に基づいて選択される。

#### 【0034】

この場合、データセレクト信号 DSL が低レベル（以下、“L” という）のとき、信号線  $X_i$  のうちの奇数行目の信号線が選択され、出力タイミング信号 STB に基づいて階調画素データ  $D_1, D_3, \dots, D_{m-1}$  が送出されると共に、偶数行目の信号線に黒データが送出される。また、データセレクト信号 DSL が高レベル（以下、“H” という）のとき、信号線  $X_i$  のうちの偶数行目の信号線が選択され、出力タイミング信号 STB に基づいて階調画素データ  $D_2, D_4, \dots, D_m$  が送出されると共に、奇数行目の信号線に黒データが送出される。このようにして、1 水平期間の階調画素データ  $D_i$  ( $i = 1, 2, \dots, m$ ) 又は黒データが出力される。

#### 【0035】

以上のように、この第1の実施形態では、信号線駆動回路 42 は、信号線  $X_i$  の数の半数のラッチ回路  $71_k$  を有するラッチ部 63 と、信号線  $X_i$  の数の半数の D/A コンバータ  $72_e$  を有する D/A コンバータ部 64 と、同 D/A コンバータ部 64 から送出される階調画素データを該当する信号線  $X_i$  に送出する出力バッファ部 66 とを備えているので、チップサイズが縮小されると共に、液晶表示装置に用いる場合、動画像表示時の残像現象が解消される。また、信号線駆動回路 42 の中で消費電力が最も多いとされる出力アンプ  $73_k$  ( $k = 1, 3, \dots$ ,

$m-1$ ) が信号線  $X_i$  ( $i = 1, 2, \dots, m$ ) の半数になるため、装置全体の消費電力が低減される。

### 【0036】

#### 第2の実施形態

図8は、この発明の第2の実施形態である画像表示装置の電氣的構成を示す図であり、第1の実施形態を示す図1中の要素と共通の要素には共通の符号が付されている。

この形態の画像表示装置では、図8に示すように、図1中の液晶パネル41及び信号線駆動回路42に代えて、異なる構成の液晶パネル81及び信号線駆動回路82が設けられている。液晶パネル81は、信号線  $X_i$  ( $i = 1, 2, \dots, m$ 、たとえば、 $m = 640 \times 3$ ) と、走査線  $Y_j$  ( $j = 1, 2, \dots, n+1$ 、たとえば、 $n = 480$ ) と、画素  $90_{ij}$  とから構成されている。画素  $90_{ij}$  は、信号線  $X_i$  と走査線  $Y_j$  との交差箇所に設けられ、TFT  $91_{ij}$  と、TFT  $92_{ij}$  と、画素容量  $93_{ij}$  と、共通電極94とから構成されている。ここで、画素  $90_{ij}$  は、図1中の画素  $50_{ij}$  と同様に、複数の第1及び第2の画素から構成され、各第1の画素と各第2の画素とが列方向に1つずつ交互に配置されているが、各第1の画素と各第2の画素とが行方向にそれぞれ2つずつ連続して交互に配置されている点が異なっている。信号線駆動回路82は、画像データVDに基づいて階調画素データ  $D_i$  又は黒データを各信号線  $X_i$  に印加する。他は、図1と同様の構成である。

### 【0037】

図9は、図8の液晶表示装置の動作を説明するためのタイムチャート、及び図10が、1フレーム期間内で液晶パネル81に階調画素データ  $D_i$  及び黒データBLが書き込まれる動作を説明する模式図である。

これらの図を参照して、この形態の画像表示装置に用いられる駆動方法について説明する。

この形態の駆動方法では、走査線駆動回路43は、第1の実施形態と同様の動作を行う。また、各選択期間 ( $t_0, t_1, t_2, \dots$ ) において、信号線駆動回路82から、信号線  $X_i$  の2ライン毎に階調画素データ  $D_i$  と黒データBLとが交

互に出力される。また、階調画素データ  $D_i$  と黒データ BL とは、連続する 2 選択期間毎に極性と順序とが反転される。

#### 【0038】

そして、選択期間  $t_0$  において、走査信号  $G_1, G_2, G_k, G_{k+1}$  ( $k$  は偶数) が走査線  $Y_1, Y_2, Y_k, Y_{k+1}$  にそれぞれ印加されると、画素 A, B, C, D, E, F 及び画素 BL1, BL2, BL3, BL4, BL7, BL8 が選択され、図 10 に示すように、画素 A, E, BL1 に画素データ① (+)、画素 B, F, BL2 に画素データ② (-)、画素 C, BL3, BL7 に黒データ (+)、及び画素 D, BL4, BL8 に黒データ (-) が書き込まれる。選択期間  $t_1$  において、走査信号  $G_1, G_k$  が走査線  $Y_1, Y_k$  にそれぞれ印加されると、画素 C, D, BL1, BL2 が選択され、図 10 に示すように、画素 C に画素データ③ (+)、画素 D に画素データ④ (-)、画素 BL1 に黒データ (+)、及び画素 BL2 に黒データ (-) が書き込まれる。また、このとき、A, E の画素データ① (+)、画素 B, F の画素データ② (-)、画素 BL3, BL7 の黒データ (+)、及び画素 BL4, BL8 の黒データ (-) が確定する。

#### 【0039】

選択期間  $t_2$  において、走査信号  $G_2, G_3, G_{k+1}, G_{k+2}$  が走査線  $Y_2, Y_3, Y_{k+1}, Y_{k+2}$  にそれぞれ印加されると、画素 E, F, G, H, L, M 及び画素 BL5, BL6, BL7, BL8, BL9, BL10 が選択され、図 10 に示すように、画素 E, BL5, BL9 に黒データ (-)、画素 F, BL6, BL10 に黒データ (+)、画素 G, L, BL7 に画素データ⑦ (-)、及び画素 H, M, BL8 に画素データ⑧ (+) が書き込まれる。また、このとき、画素 C の画素データ③ (+)、画素 D の画素データ④ (-)、画素 BL1 の黒データ (+)、及び画素 BL2 の黒データ (-) が確定する。

#### 【0040】

選択期間  $t_3$  において、走査信号  $G_2, G_{k+1}$  が走査線  $Y_2, Y_{k+1}$  にそれぞれ印加されると、画素 E, F 及び、画素 BL7, BL8 が選択され、図 10 に示すように、画素 E に画素データ⑤ (-)、画素 F に画素データ⑥ (+)、画素 BL7 に黒データ (-)、及び画素 BL8 に黒データ (+) が書き込まれる。また、

このとき、画素G, Lの画素データ⑦(−)、画素H, Mの画素データ⑧(+)  
、画素BL5, BL9の黒データ(−)、及び画素BL6, BL10の黒データ  
(+)が確定する。この後、同様の動作が順次繰り返され、残像現象が改善され  
る。

#### 【0041】

図11は、図8中の信号線駆動回路82の構成図であり、図4中の要素と共通  
の要素には共通の符号が付されている。

この信号線駆動回路82では、同図11に示すように、図4中のラッチ部63  
、D/Aコンバータ部64及び出力バッファ部66に代えて、異なる構成のラッ  
チ部103、D/Aコンバータ部104及び出力バッファ部106が設けられて  
いる。

#### 【0042】

図12は、図11中のラッチ部103、D/Aコンバータ部104及び出力バ  
ッファ部106の内部構成を示す図である。

同図12に示すように、ラッチ部103は、信号線 $X_i$ の数の半数のラッチ回  
路(LAT)  $111_k$  ( $k=1, 2, 5, 6, \dots, m-3, m-2$ ) と、マルチ  
プレクサ(Multiplexer)  $112_e$  ( $e=1, 5, \dots, m-3$ ) とから構成され  
、画像データVDが同ラッチ回路 $111_k$ と同数に分離されて生成された画素デ  
ータを蓄積すると共に、マルチプレクサ $112_e$ を介して出力する。D/Aコン  
バータ部104は、信号線 $X_i$ の数の半数のD/Aコンバータ(DAC+)  $113_e$  ( $e=1, 5, \dots, m-3$ ) 及びD/Aコンバータ(DAC−)  $113_f$  ( $f=2, 6, \dots, m-2$ ) から構成され、ラッチ部103から出力される画素デ  
ータを液晶パネル81の特性に合わせてデジタル/アナログ変換して階調画素デ  
ータ(+/−)を生成する。出力バッファ部106は、信号線 $X_i$ の数の半数の出  
力アンプ $114_k$  ( $k=1, 2, 5, 6, \dots, m-3, m-2$ ) と、マルチプレ  
クサ(Multiplexer)  $115_e$  ( $e=1, 5, \dots, m-3$ ) と、黒書き込み用ア  
ンプ116, 117とから構成され、前記階調画素データを出力アンプ $114_k$   
及びマルチプレクサ $115_e$ を介して該当する信号線 $X_i$ に送出すると共に、黒デ  
ータに対応した電圧(Vblack+又はVblack−)を黒書き込み用アンプ116, 1



17及びマルチプレクサ115<sub>e</sub>を介して該当する他の信号線 $X_i$ に送出する。

#### 【0043】

この信号線駆動回路82では、図13に示すように、スタートパルス信号STHがシフトレジスタ部61で水平方向クロック信号HCKに同期してシフトされ、信号線 $X_i$ の半数のラッチ信号 $ls_1, ls_2, \dots, ls(m/2)$ が順次生成されてデータレジスタ部62に送出される。一方、画像データVD中のデータ信号Data0～7がデータレジスタ部62に入力され、シフトレジスタ部61から送出されたラッチ信号 $ls_1, ls_2, \dots, ls(m/2)$ に基づいて信号線 $X_i$ の半数に分離されて蓄積される。蓄積された画像データVDは、信号線 $X_i$ の半数の階調画素データとしてラッチ部103に格納される。格納された階調画素データは、出力極性反転信号POLに基づいて選択されて出力タイミング信号STBに基づいて出力され、D/Aコンバータ部104で基準階調電圧V0～V9に基づいて液晶パネル81の透過率特性に対応した+側又は-側の電圧の階調画素データに変換される。そして、出力極性反転信号POLに基づいて+側又は-側の階調画素データが選択され、出力バッファ部106で出力極性反転信号POLに基づいて+側の階調画素データ、-側の階調画素データ、+側の黒データ、又は-側の黒データが選択される。選択された各データは、送出される信号線 $X_i$ がデータセレクト信号DSLに基づいて選択される。

#### 【0044】

この場合、データセレクト信号DSLが“L”のとき、信号線 $X_i$ のうちの信号線 $X_1, X_2, X_5, \dots, X_{m-2}$ が選択され、出力タイミング信号STBに基づいて階調画素データ $D_1, D_2, D_5, \dots, D_{m-2}$ が送出されると共に、他の信号線に黒データが送出される。また、データセレクト信号DSLが“H”のとき、信号線 $X_i$ のうちの信号線 $X_3, X_4, X_7, \dots, X_m$ が選択され、出力タイミング信号STBに基づいて階調画素データ $D_3, D_4, D_7, \dots, D_m$ が送出されると共に、他の信号線に黒データが送出される。このようにして、1水平期間(1H期間)の階調画素データ $D_i$ ( $i=1, 2, \dots, m$ )又は黒データが出力される。

#### 【0045】

以上のように、この第2の実施形態では、図12中のD/Aコンバータ部104が、D/Aコンバータ(DAC+)113<sub>e</sub>( $e=1, 5, \dots, m-3$ )と、一側のD/Aコンバータ(DAC-)113<sub>f</sub>( $f=2, 6, \dots, m-2$ )とから構成され、図6中のD/Aコンバータ部64の半分の回路規模となるため、第1の実施形態の利点に加え、さらに回路規模が縮小されてコスト及び消費電力が低減される。

#### 【0046】

以上、この発明の実施形態を図面により詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあっても、この発明に含まれる。

たとえば、各実施形態では、黒データの電圧は、液晶パネル41, 81がノーマリホワイト型の場合のレベルで表示されているが、ノーマリブラック型の場合では、黒データの電圧は、ほぼVCOMのレベルとなる。また、第1の画素は、ゲート電極が同一の走査線に接続された2つのTF T51<sub>ij</sub>, 52<sub>ij</sub>を有しているが、これらの直列接続された2つのTF Tと同一のオン抵抗を有する1つのTF Tを用いても良い。また、第2の実施形態を示す図8中の液晶パネル81では、各第1の画素と各第2の画素とが行方向にそれぞれ2つずつ連続して交互に配置されているが、たとえば、3つずつ連続しているものでも良い。また、液晶パネル41, 81では、走査線Y<sub>j</sub>が従来の図14中の液晶パネル1と比較して1本増加しているが、増加していなくても、上記実施形態とほぼ同様の作用、効果が得られる。また、各実施形態では、液晶表示装置を例にして説明したが、この発明は、印加された階調画素データ又は黒データに応じた電圧を次の階調画素データ又は黒データに応じた電圧が印加されるまで保持する表示素子を有する画像表示装置全般に適用できる。

#### 【0047】

##### 【発明の効果】

以上説明したように、この発明の構成によれば、信号線駆動回路は、複数行の信号線の数の半数のラッチ回路を有するラッチ部と、複数行の信号線の数の半数のD/Aコンバータを有するD/Aコンバータ部と、同D/Aコンバータ部から

送出される階調画素データを該当する信号線に送出する出力バッファ部とを備えているので、回路規模を縮小できて消費電力を低減できると共に、印加された階調画素データ又は黒データに応じた電圧を次の階調画素データ又は黒データが印加されるまで保持する表示素子を有する画像表示装置に用いる場合、動画像表示時の残像現象を解消できる。

#### 【0048】

また、従来では、各信号線に同時に階調画素データに応じた電圧を印加し、その後、同各信号線に同時に黒データに応じた電圧を印加していたのに対し、この発明では、半分の信号線に階調画素データに応じた電圧を印加し、残りの半分の信号線に黒データに応じた電圧を印加するようにしたので、信号線駆動回路の出力バッファ部の回路規模を半分にすることができ、チップサイズの縮小が可能となる。また、出力バッファ部は、信号線駆動回路の中で消費電力が最も多いため、回路規模が半分になれば、装置全体の消費電力を低減できる。

#### 【図面の簡単な説明】

##### 【図1】

この発明の第1の実施形態である画像表示装置の電氣的構成を示す図である。

##### 【図2】

図1の液晶表示装置の動作を説明するためのタイムチャートである。

##### 【図3】

1フレーム期間内で液晶パネル41に階調画素データ $D_i$ 及び黒データ $B_L$ が印加される動作を説明する模式図である。

##### 【図4】

図1中の信号線駆動回路42の構成図である。

##### 【図5】

図4中のシフトレジスタ部61及びデータレジスタ部62の内部構成を示す図である。

##### 【図6】

図4中のラッチ部63、D/Aコンバータ部64及び出力バッファ部66の内部構成を示す図である。

**【図 7】**

信号線駆動回路 42 の動作を説明するためのタイムチャートである。

**【図 8】**

この発明の第 2 の実施形態である画像表示装置の電氣的構成を示す図である。

**【図 9】**

図 8 の液晶表示装置の動作を説明するためのタイムチャートである。

**【図 10】**

1 フレーム期間内で液晶パネル 81 に階調画素データ  $D_i$  及び黒データ BL が印加される動作を説明する模式図である。

**【図 11】**

図 8 中の信号線駆動回路 82 の構成図である。

**【図 12】**

図 11 中のラッチ部 103、D/A コンバータ部 104 及び出力バッファ部 106 の内部構成を示す図である。

**【図 13】**

信号線駆動回路 82 の動作を説明するためのタイムチャートである。

**【図 14】**

従来の画像表示装置の電氣的構成を示す図である。

**【図 15】**

図 14 中の信号線駆動回路 2 の電氣的構成を示す図である。

**【図 16】**

図 15 中のシフトレジスタ部 21 及びデータレジスタ部 22 の内部構成を示す図である。

**【図 17】**

図 15 中のラッチ部 23、D/A コンバータ部 24 及び出力バッファ部 25 の電氣的構成を示す図である。

**【図 18】**

信号線駆動回路 2 の動作を説明するためのタイムチャートである。

**【図 19】**

図 1 4 の液晶表示装置の動作を説明するためのタイムチャートである。

【図 2 0】

図 1 4 の液晶表示装置の動作を説明する図である。

【図 2 1】

液晶表示装置の問題点を説明する図である。

【図 2 2】

C R T における画像の表示方法を説明する図である。

【図 2 3】

L C D における画像の表示方法を説明する図である。

【図 2 4】

特許文献 1 に記載された画像表示装置の動作を説明する図である。

【図 2 5】

特許文献 1 に記載された画像表示装置の動作を説明する図である。

【図 2 6】

特許文献 1 に記載された画像表示装置の動作を説明する図である。

【符号の説明】

- 4 1, 8 1          液晶パネル（表示パネル）
- 4 2, 8 2          信号線駆動回路
- 4 3          走査線駆動回路
- 5 0 i j, 9 0 i j          画素
- 5 1 i j, 5 2 i j, 9 1 i j, 9 2 i j          T F T（薄膜トランジスタ）
- 5 3 i j, 9 3 i j          画素容量（表示素子）
- X<sub>i</sub>          信号線
- Y<sub>j</sub>          走査線
- Y<sub>n+1</sub>          走査線（付加走査線）
- 6 3, 1 0 3          ラッチ部
- 6 4, 1 0 4          D/A コンバータ部
- 6 5          黒電圧生成部
- 6 6, 1 0 6          出力バッファ部

7 1<sub>k</sub> (k = 1, 3, ..., m-1), 1 1 1<sub>k</sub> (k = 1, 2, 5, 6, ..., m-3, m-2)      ラッチ回路 (LAT)

7 2<sub>e</sub> (e = 1, 3, ..., m-1)      D/Aコンバータ (DAC+/-)

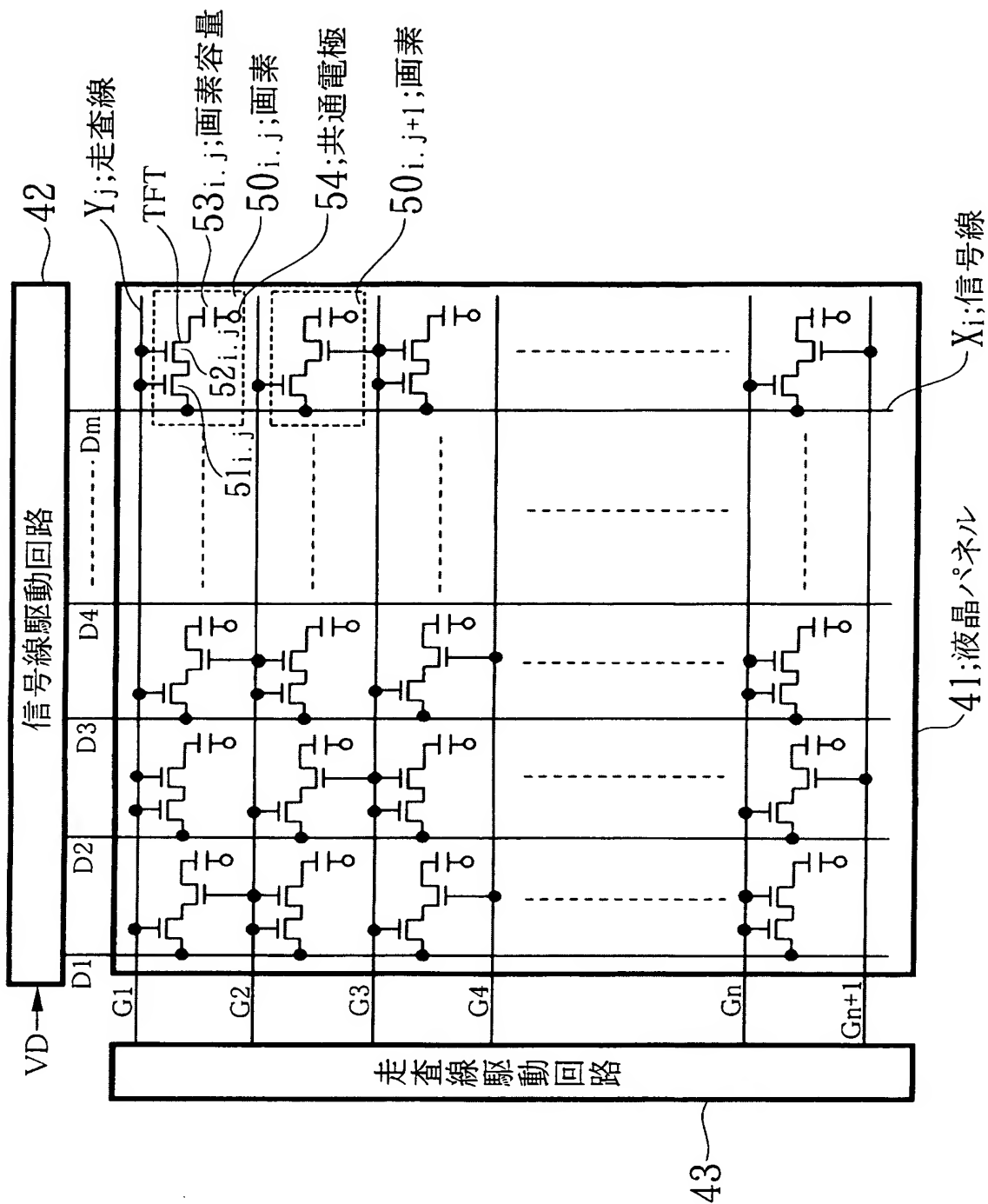
7 3<sub>k</sub> (k = 1, 3, ..., m-1), 1 1 4<sub>k</sub> (k = 1, 2, 5, 6, ..., m-3, m-2)      出力アンプ

1 1 3<sub>e</sub> (e = 1, 5, ..., m-3)      D/Aコンバータ (DAC+)

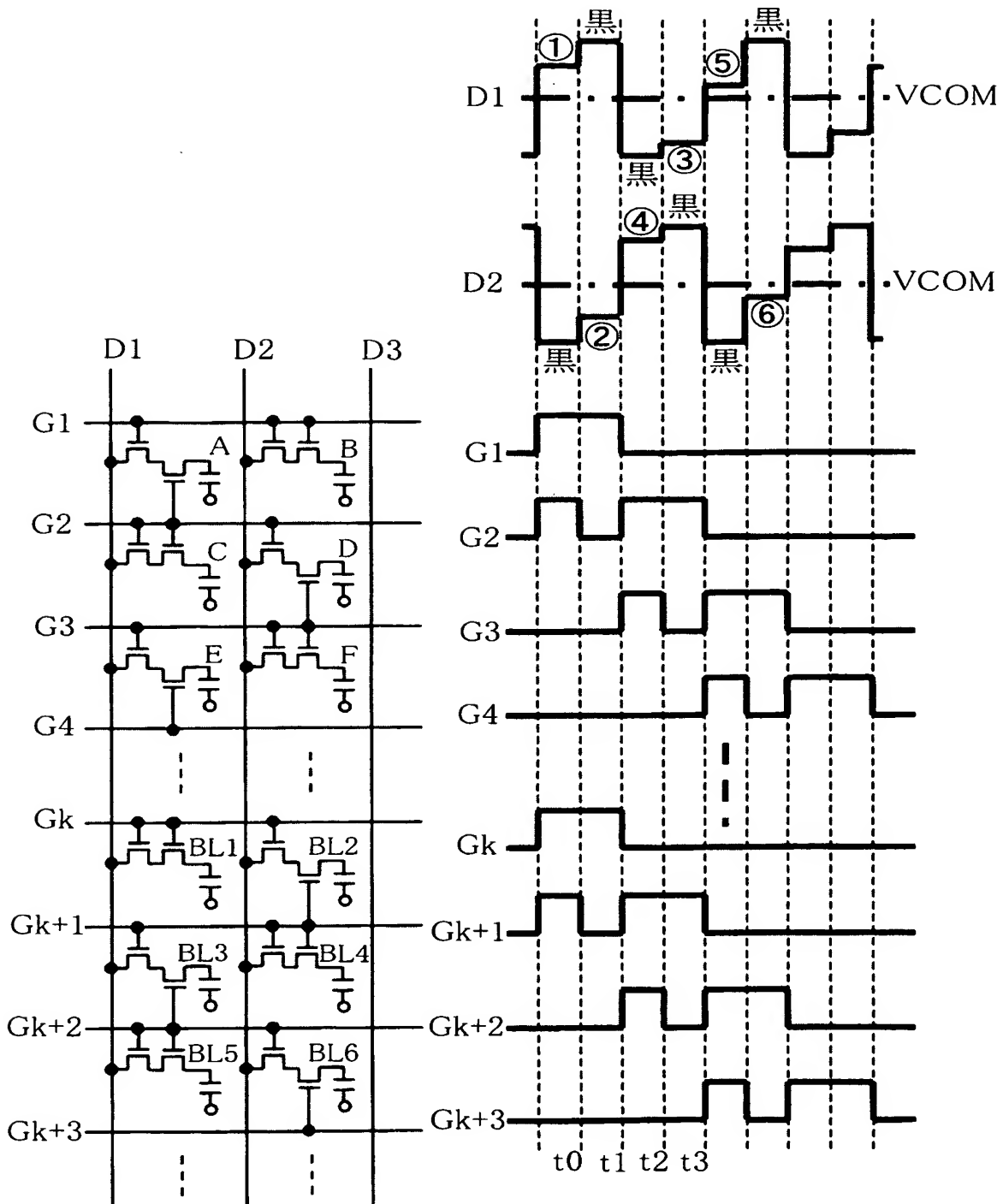
1 1 3<sub>f</sub> (f = 2, 6, ..., m-2)      D/Aコンバータ (DAC-)

【書類名】 図面

【図 1】



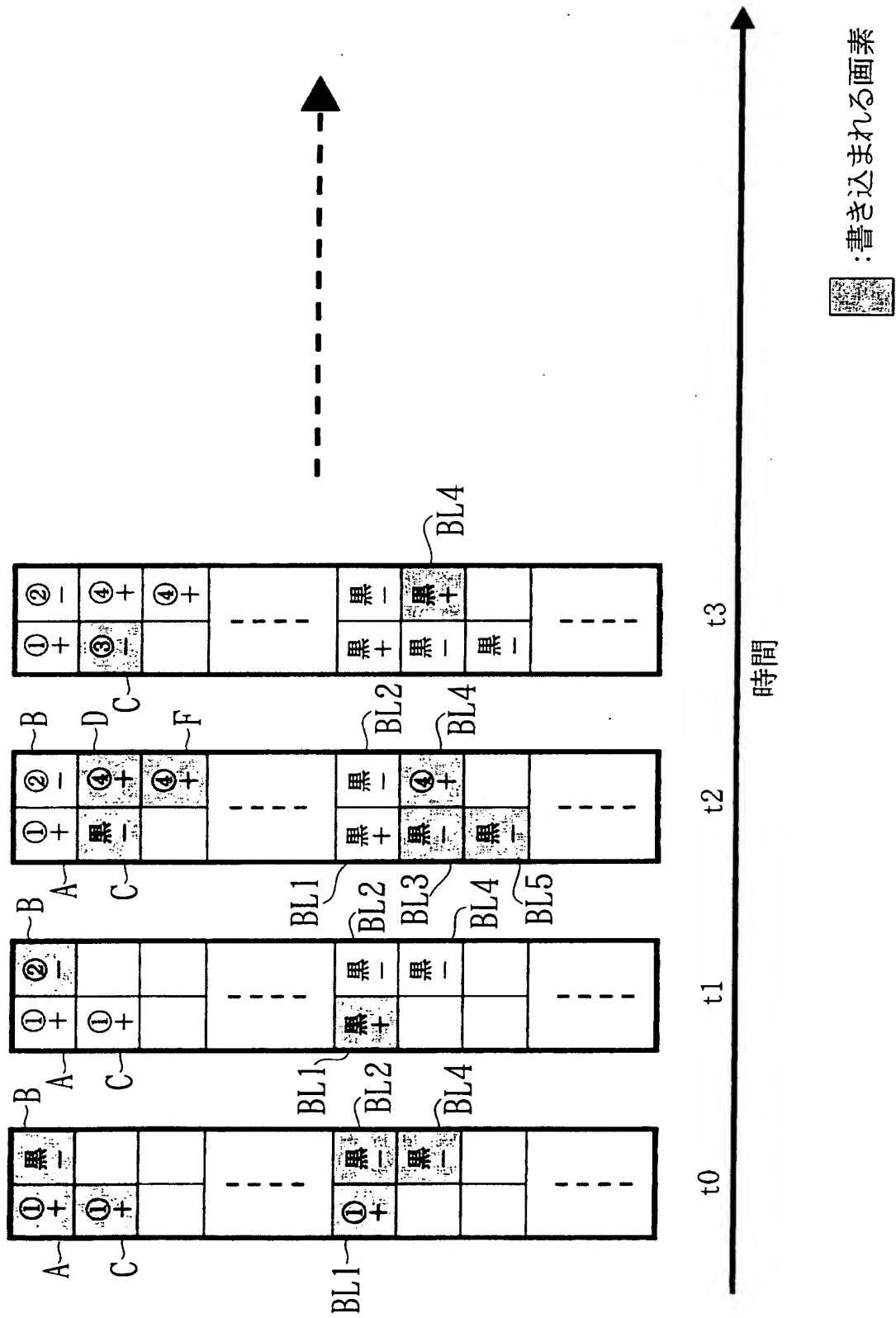
【図 2】



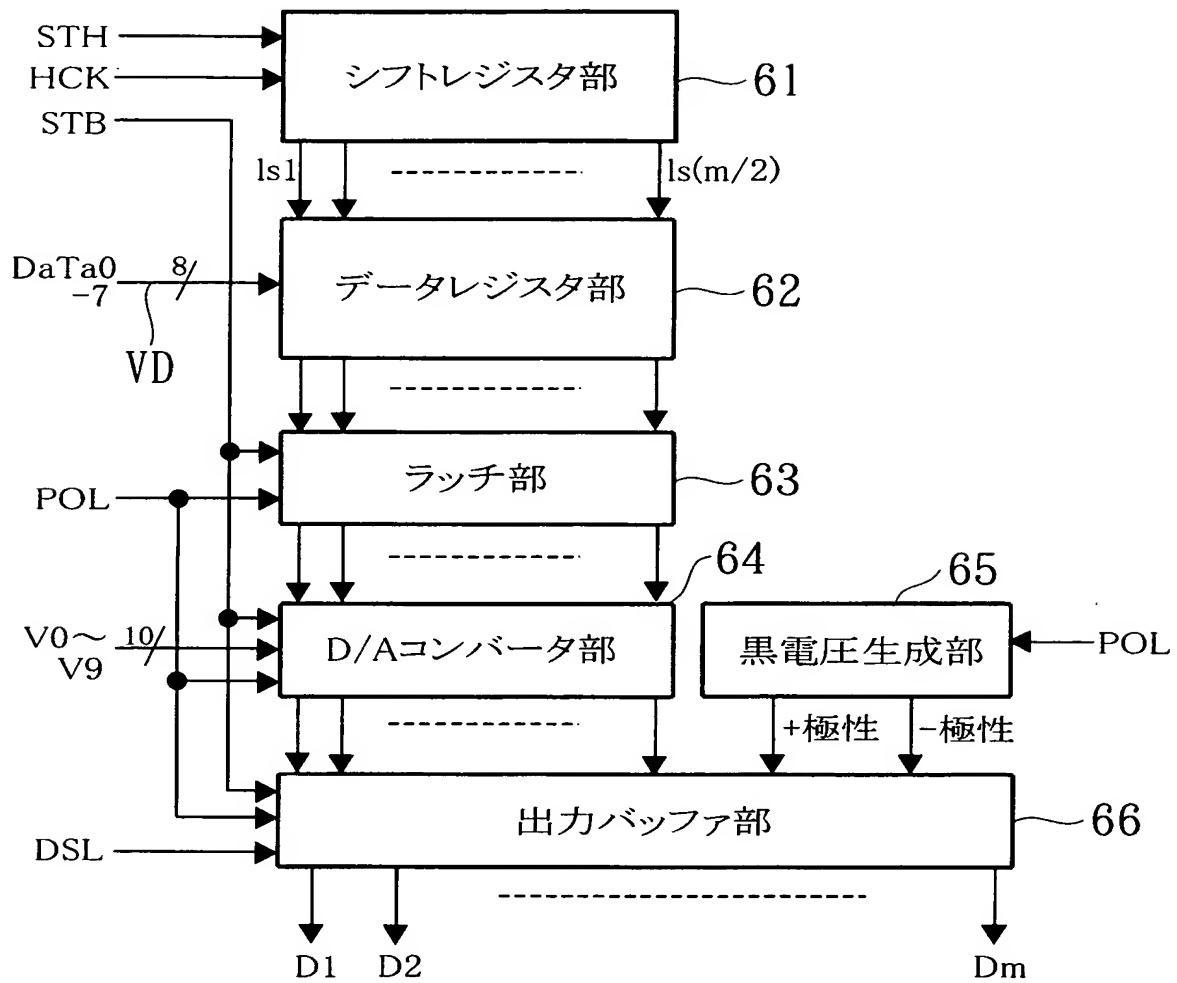
\*kは偶数



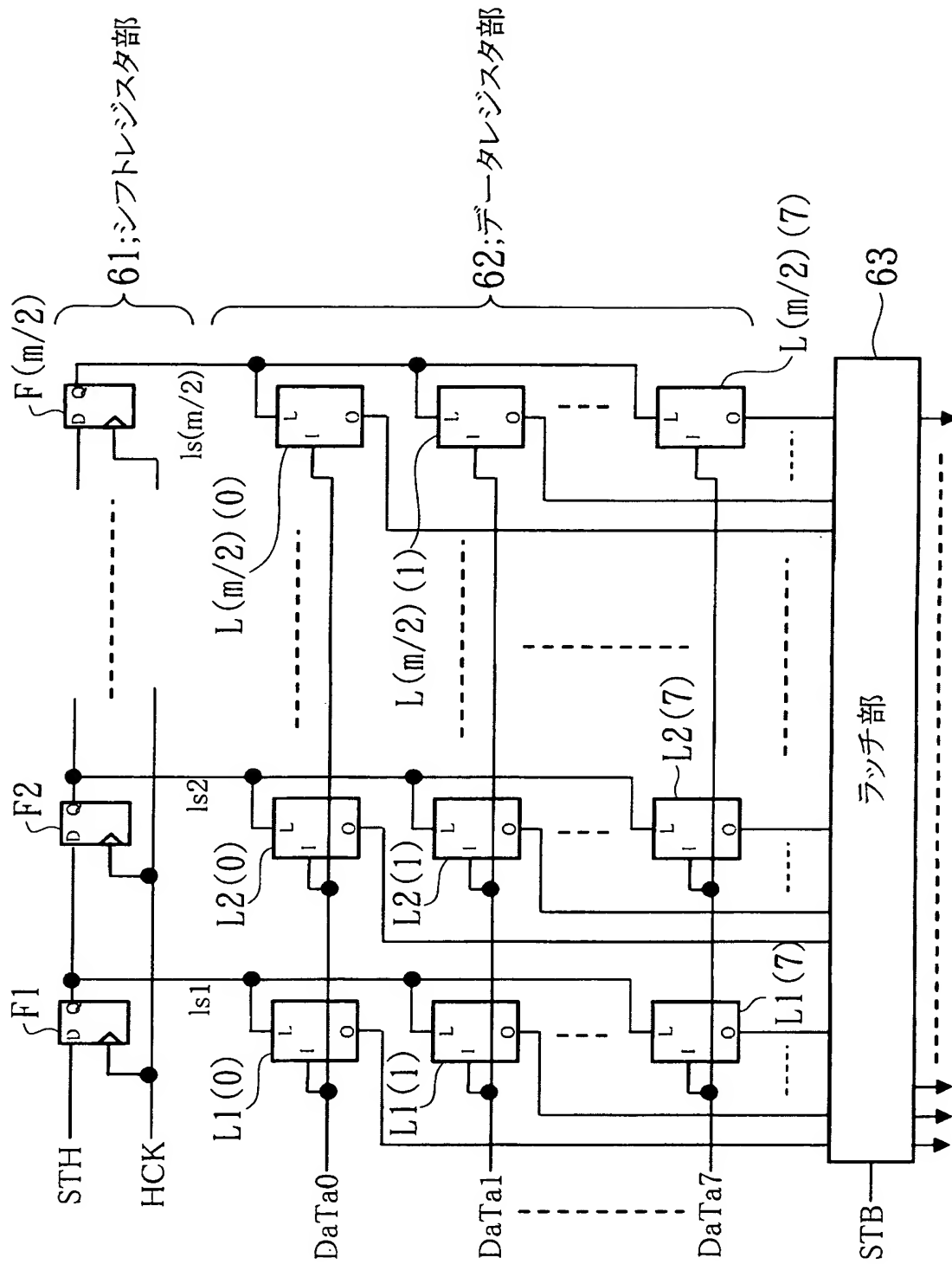
【図 3】



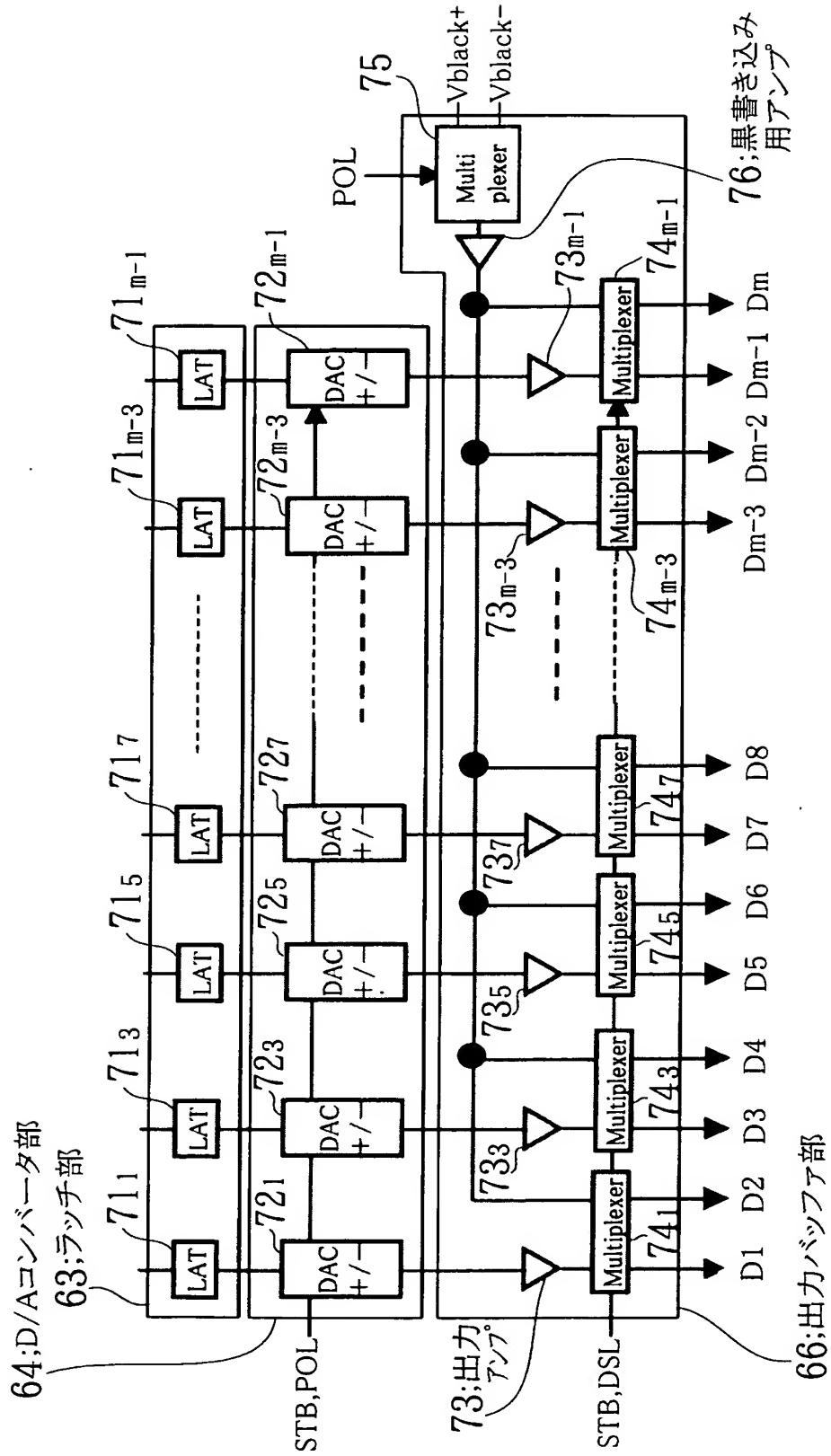
【図 4】



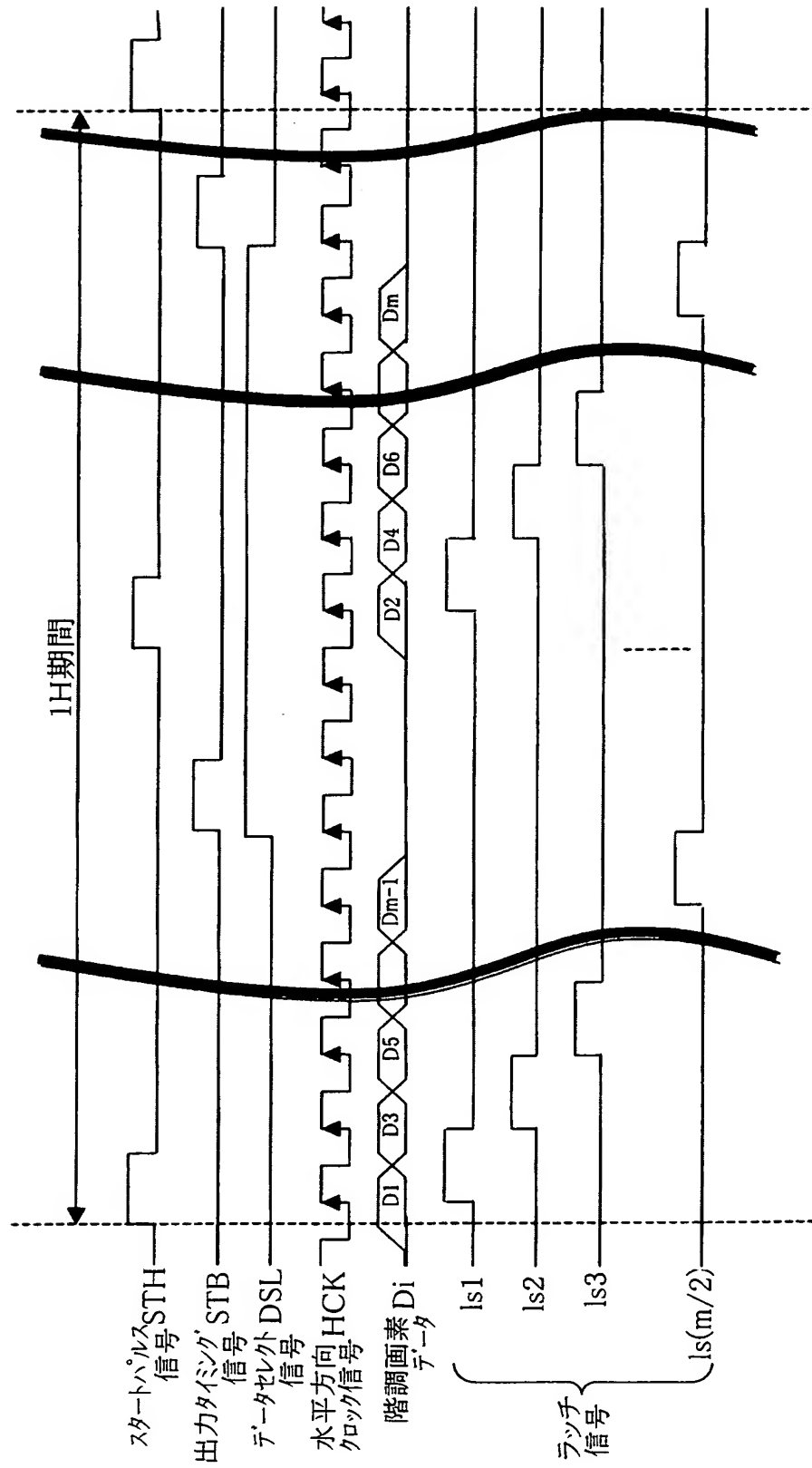
【図 5】



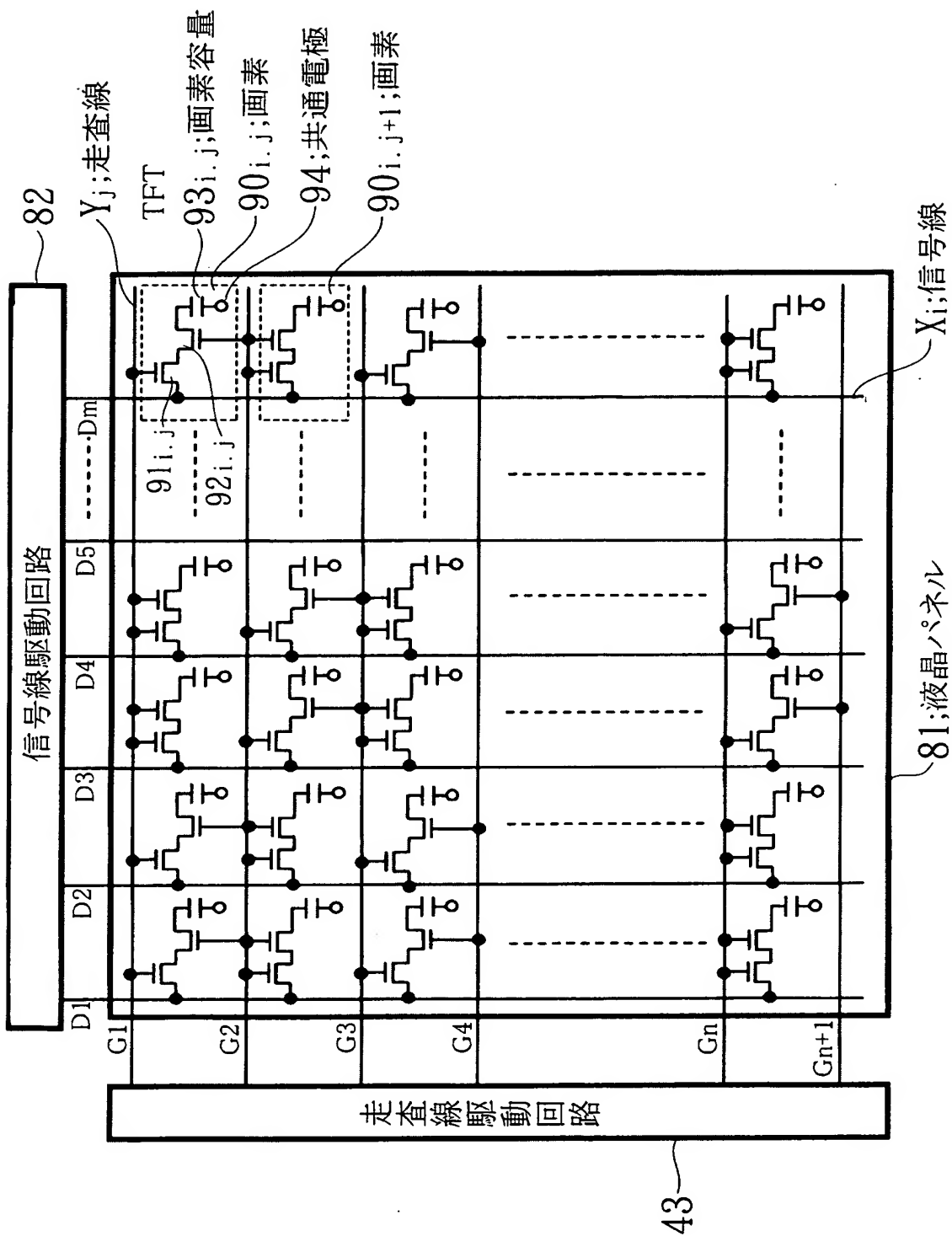
【図 6】



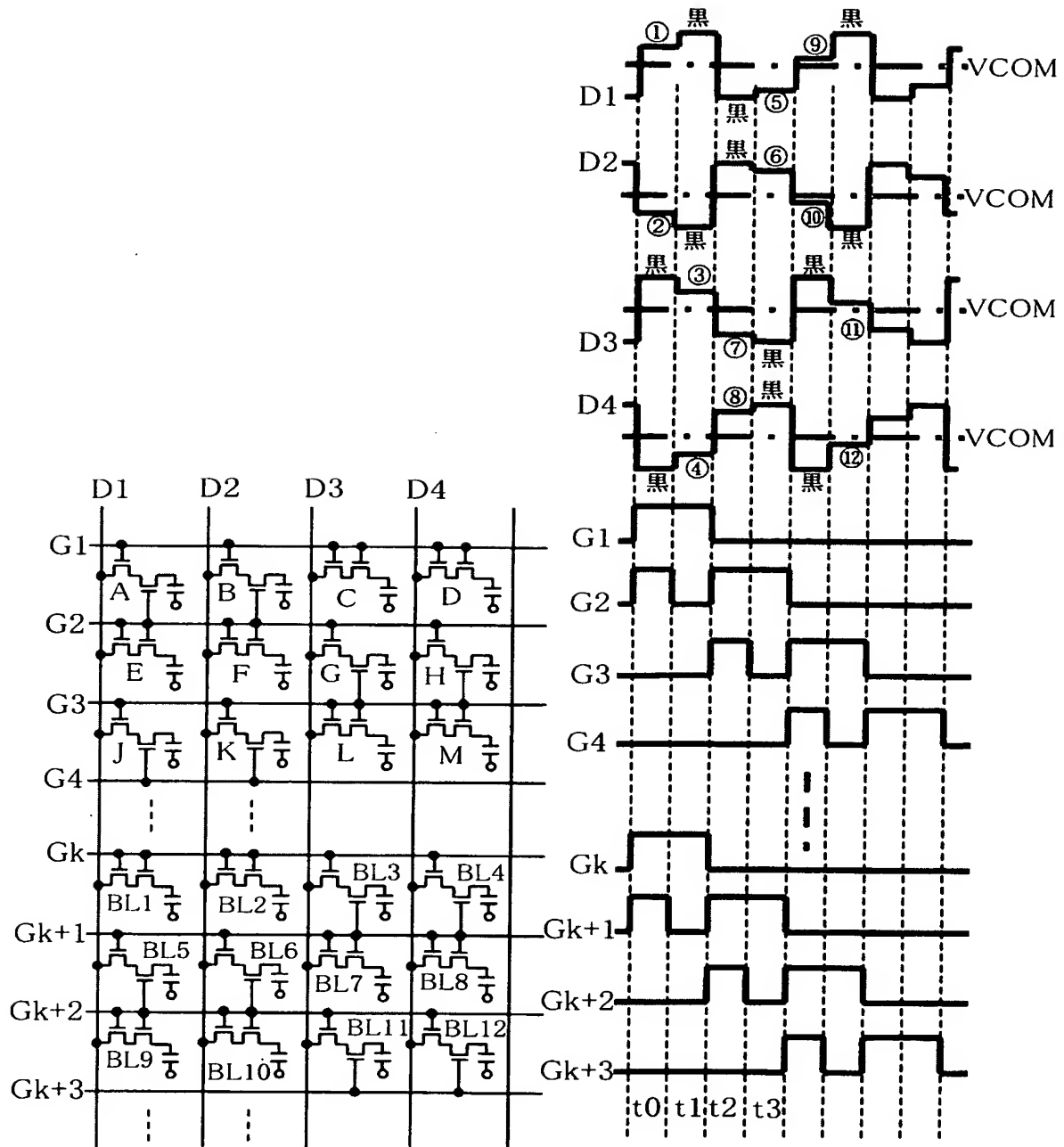
【図 7】



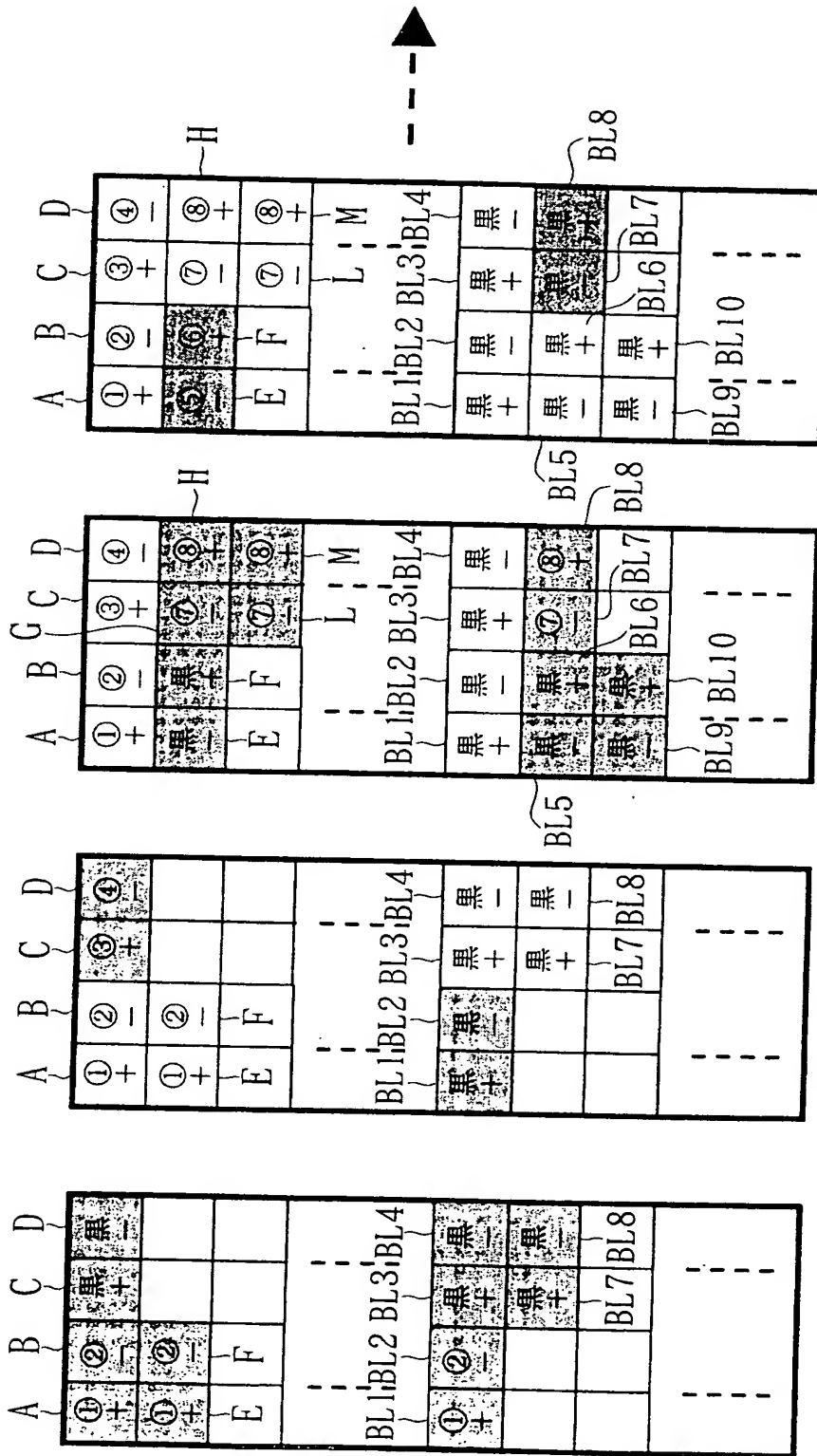
【図 8】



【図 9】



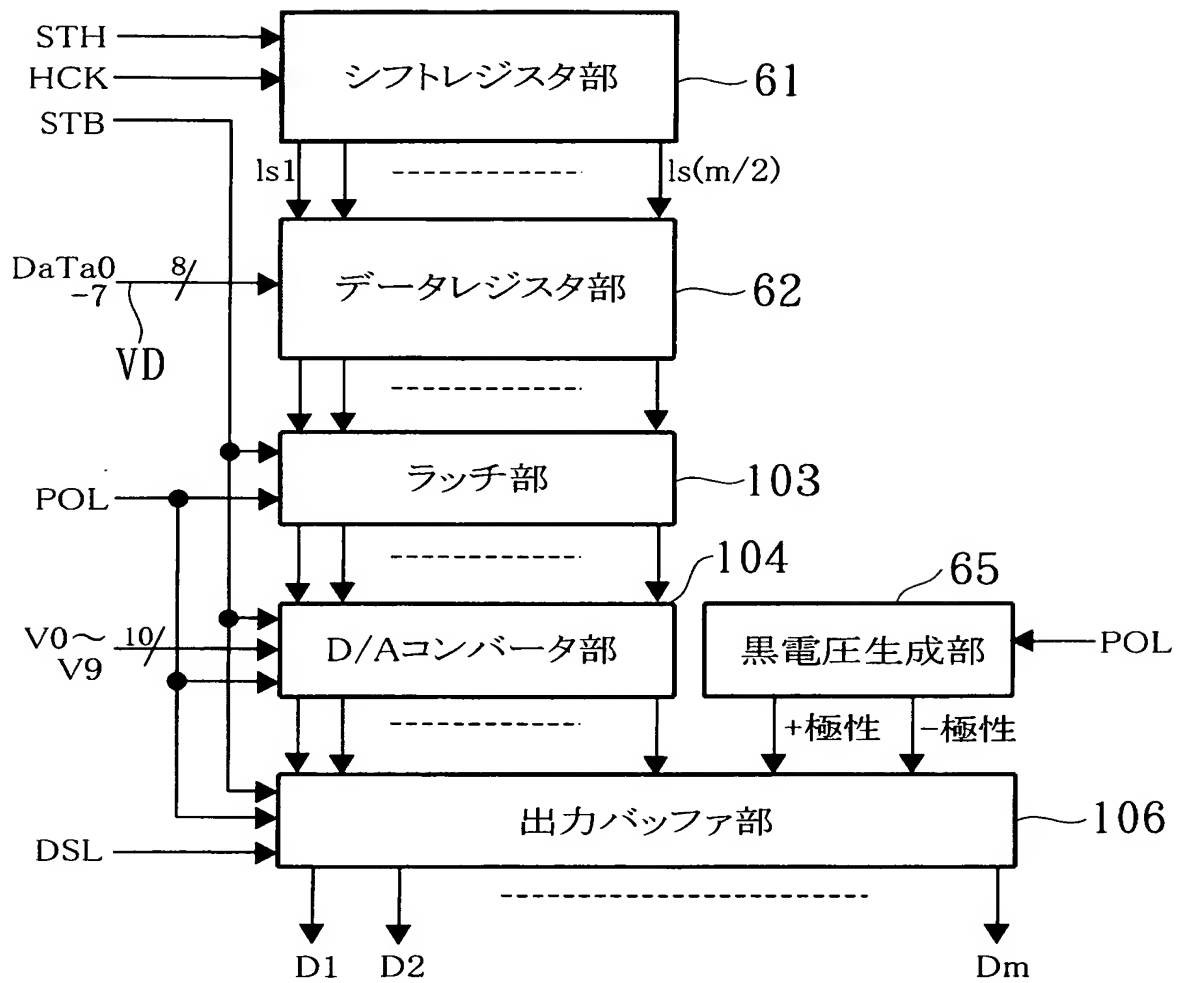
【図 10】



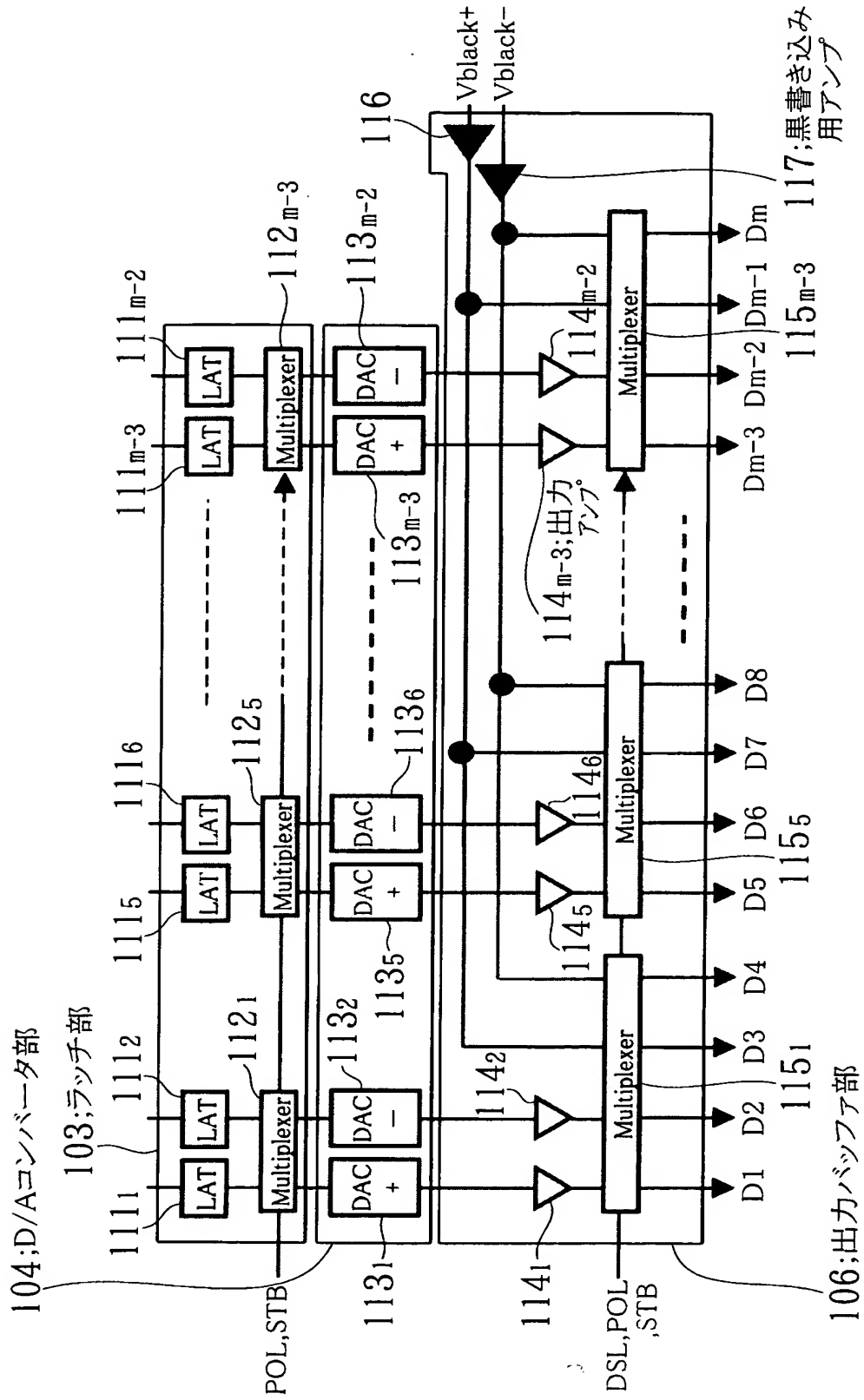
書き込まれる画素



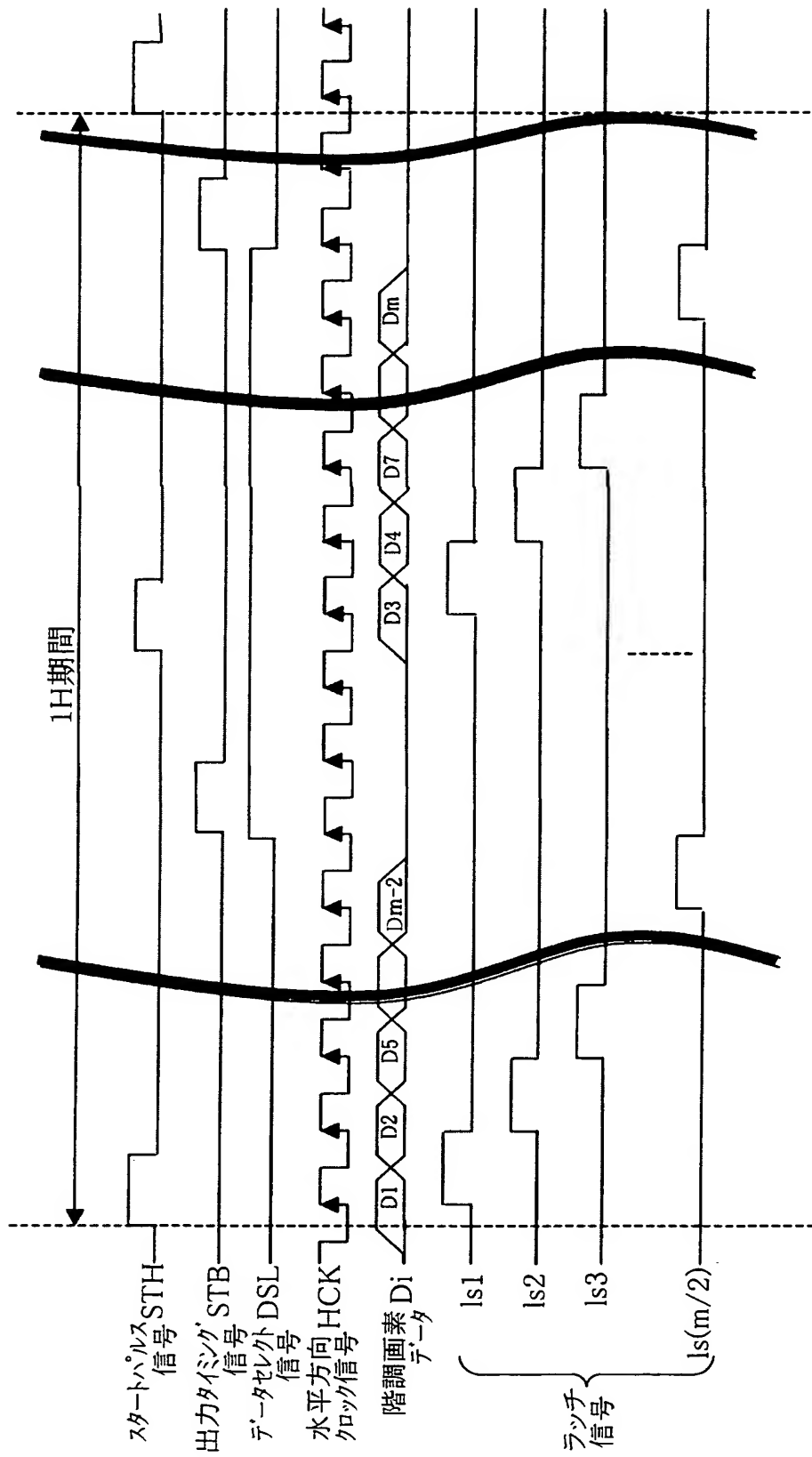
【図 11】



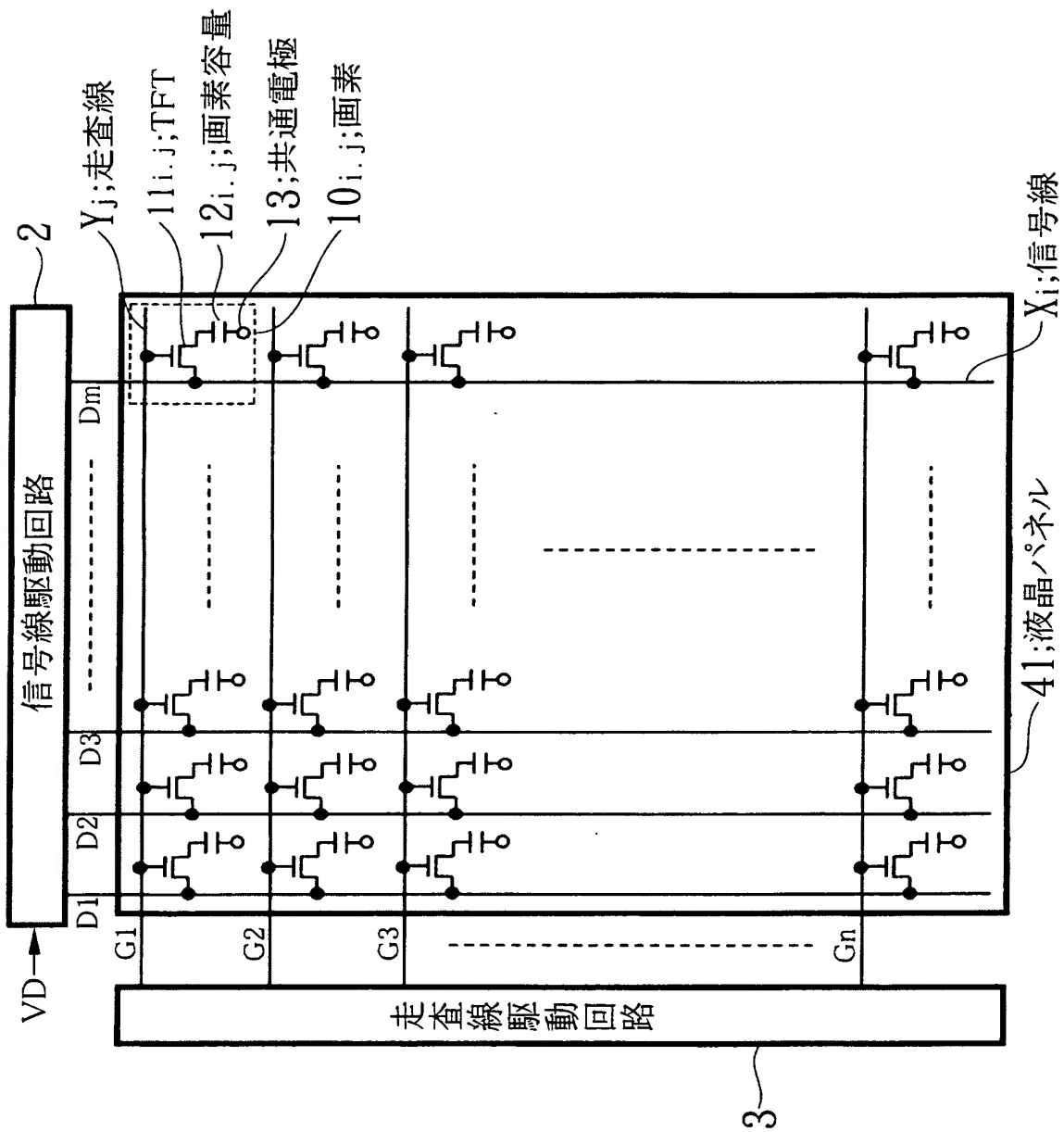
【図 12】



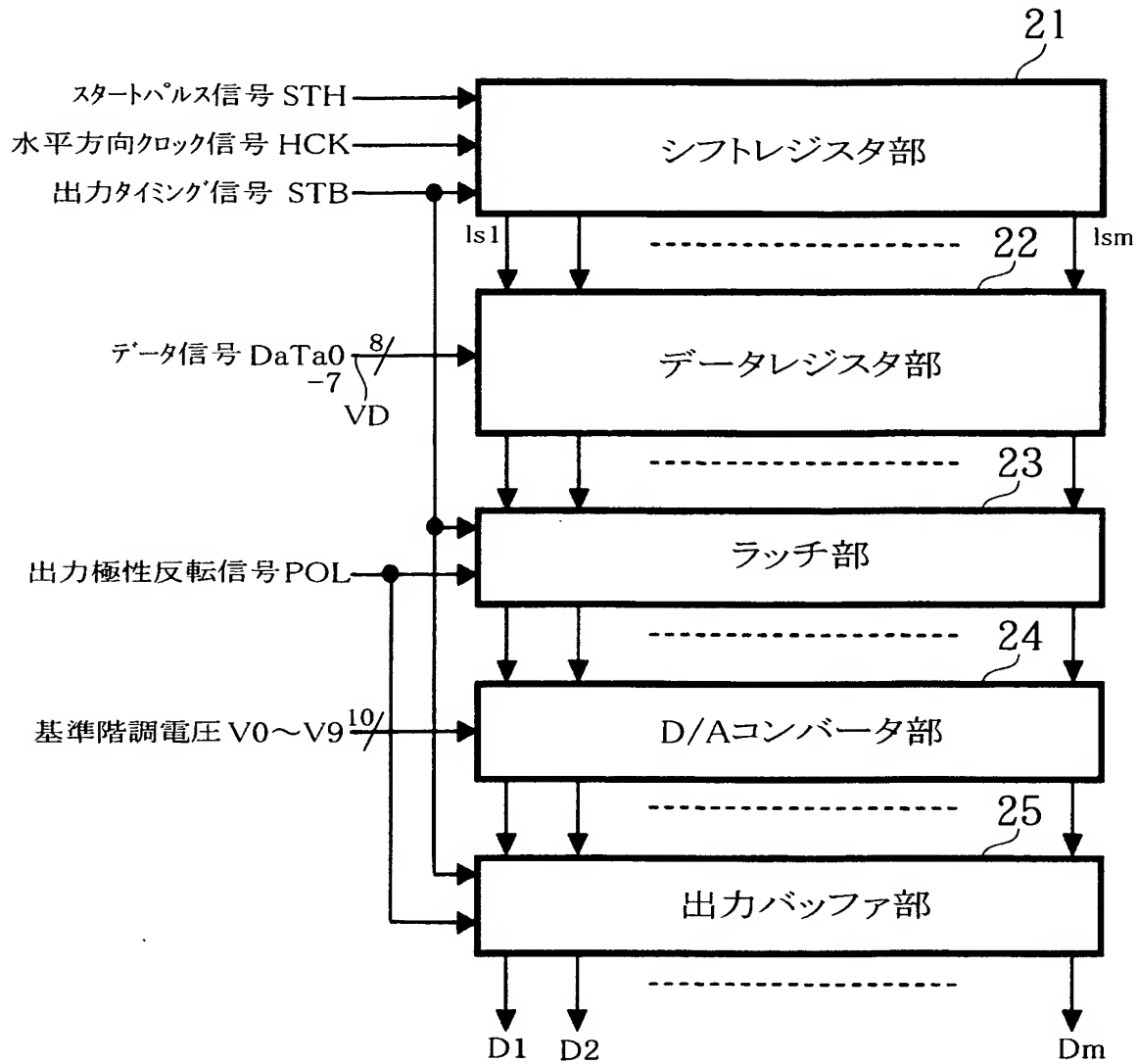
【図 13】



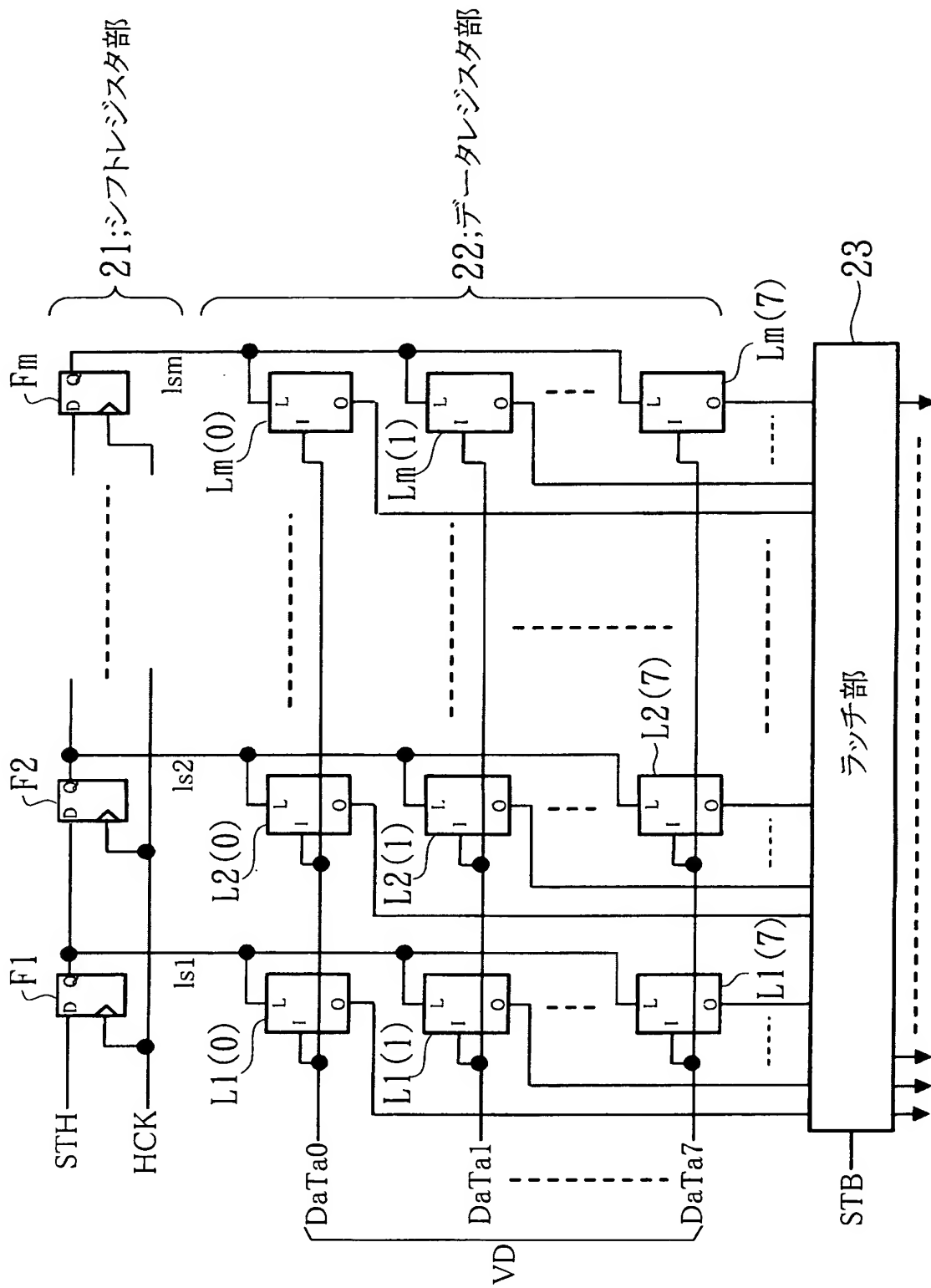
【図 14】



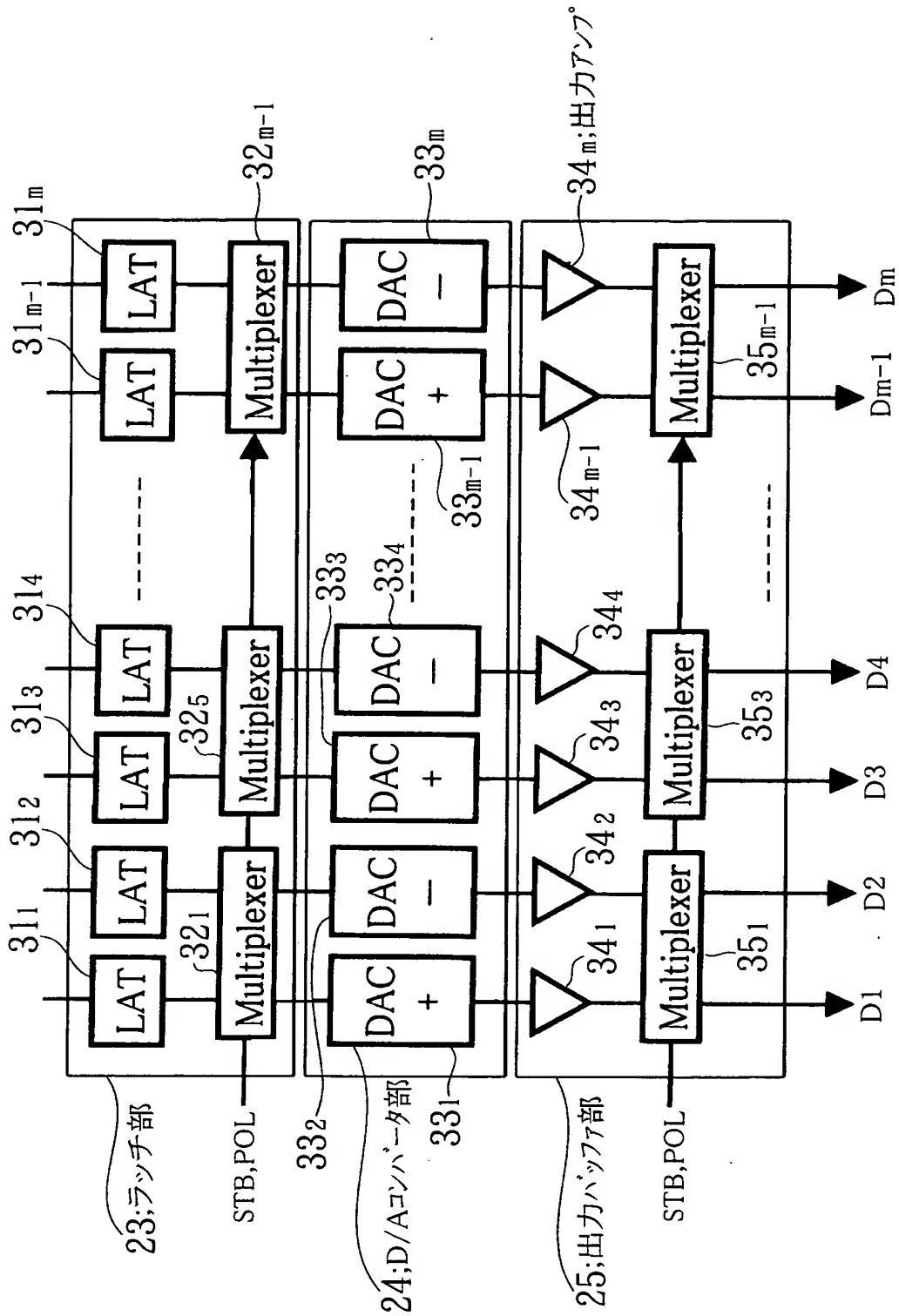
【図 15】



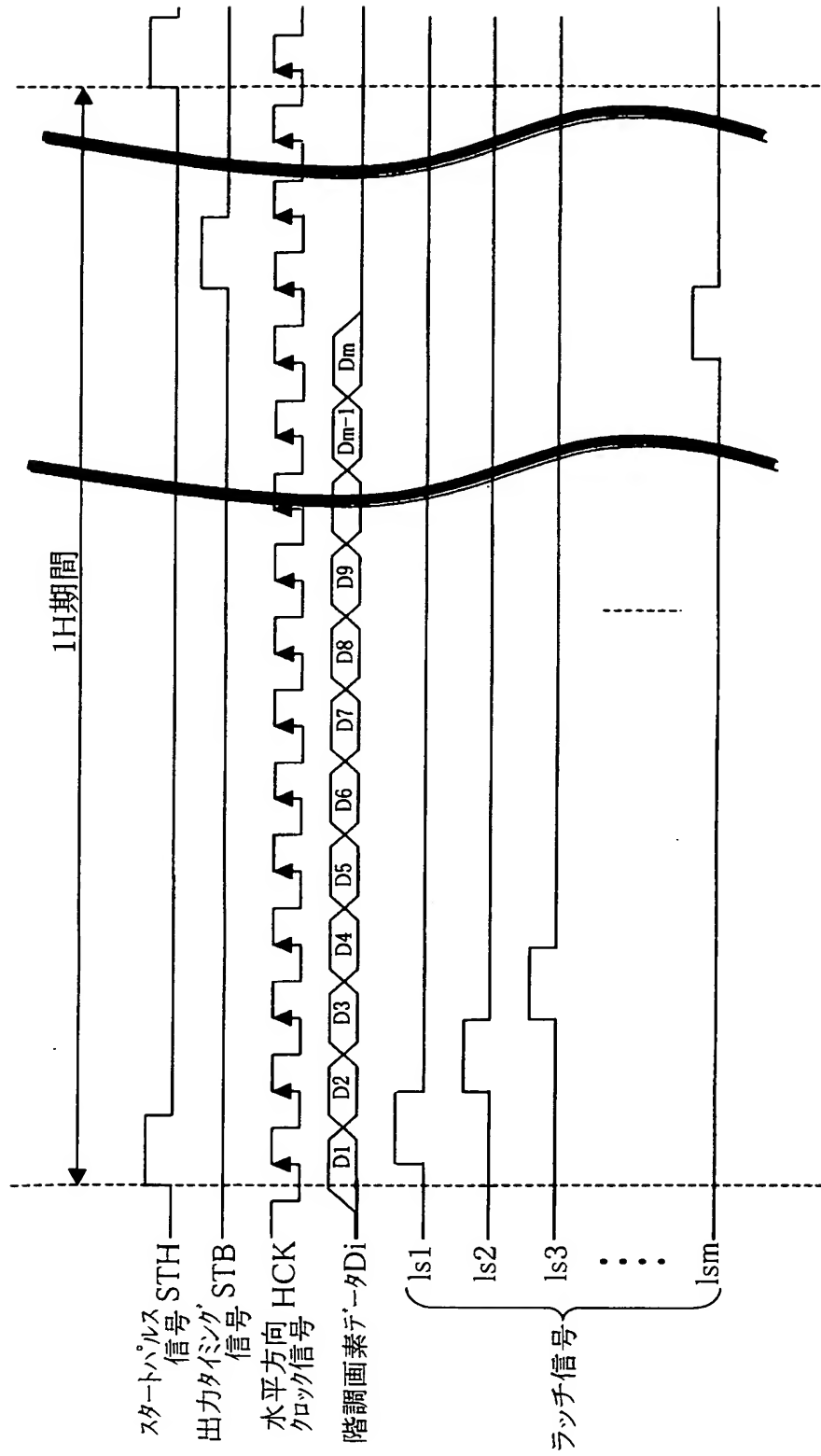
【図 16】



【図 17】

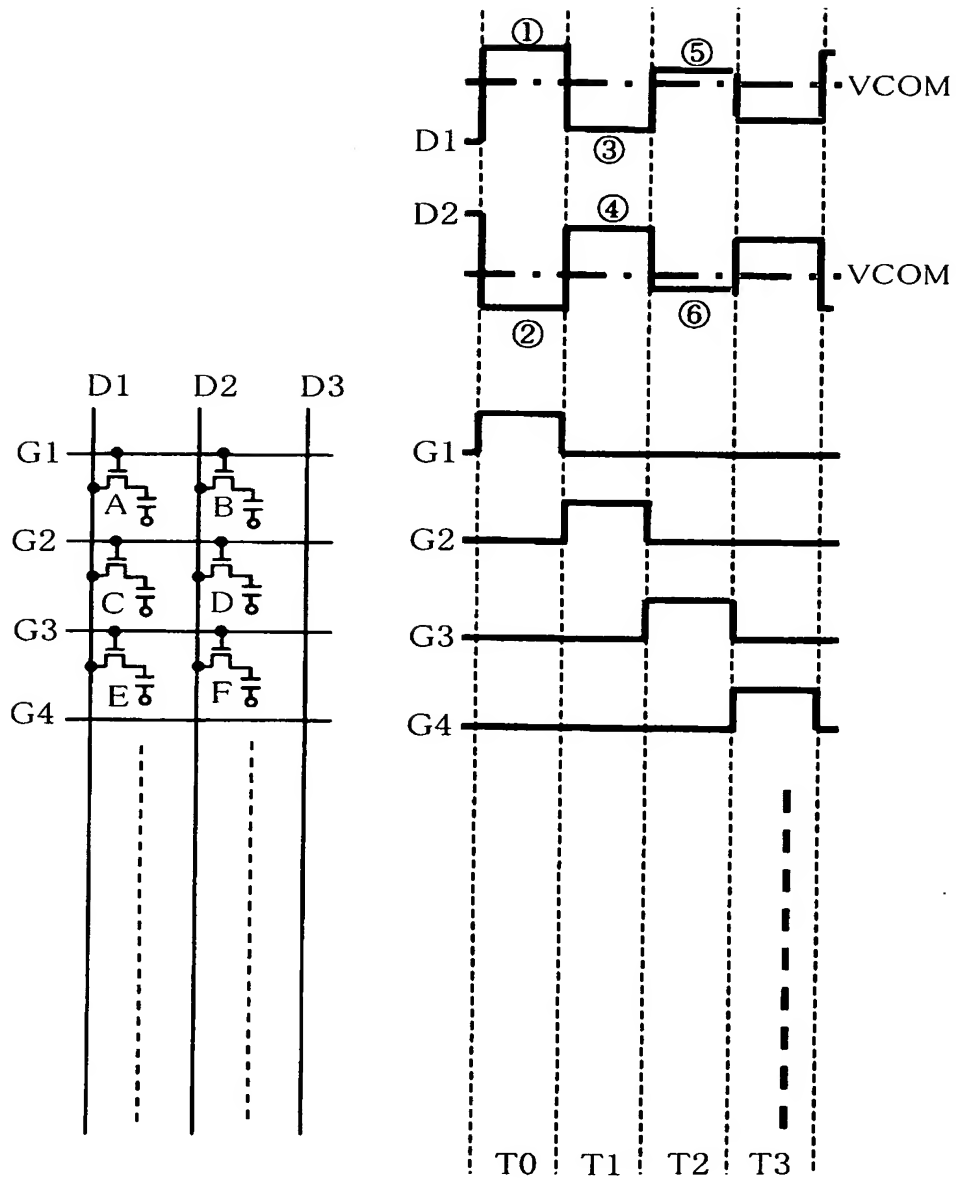


【図 18】

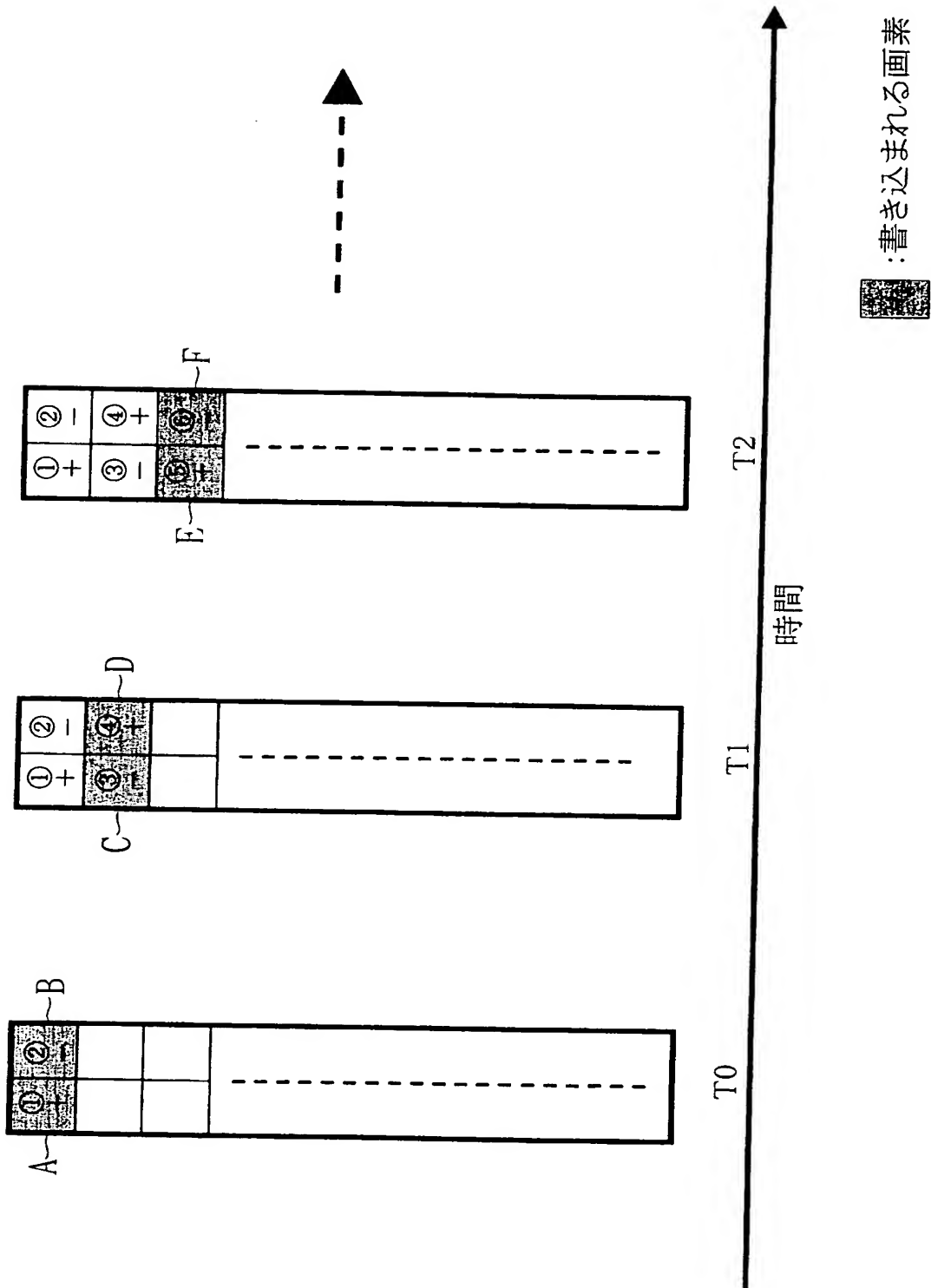




【図 19】

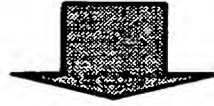


【図 20】

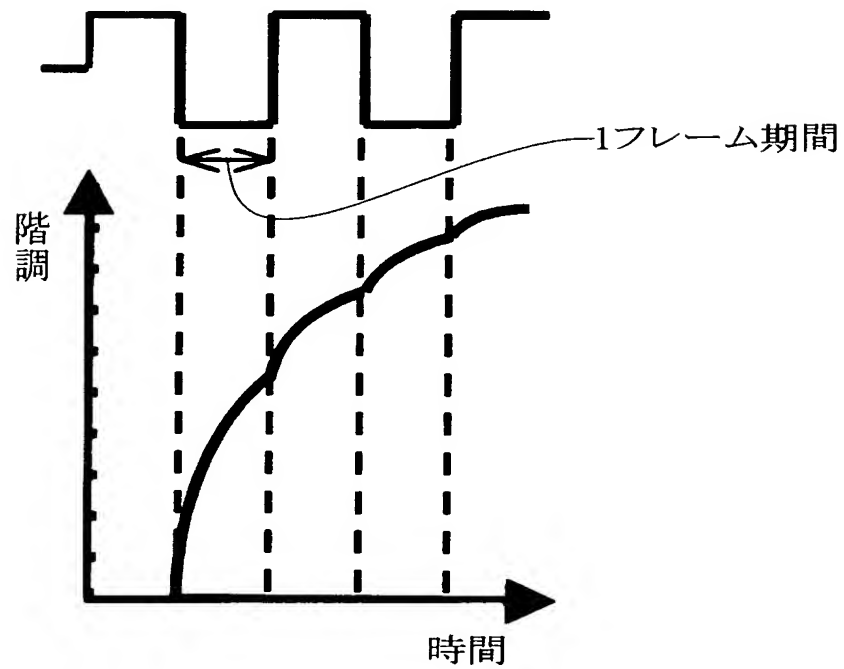


【図 21】

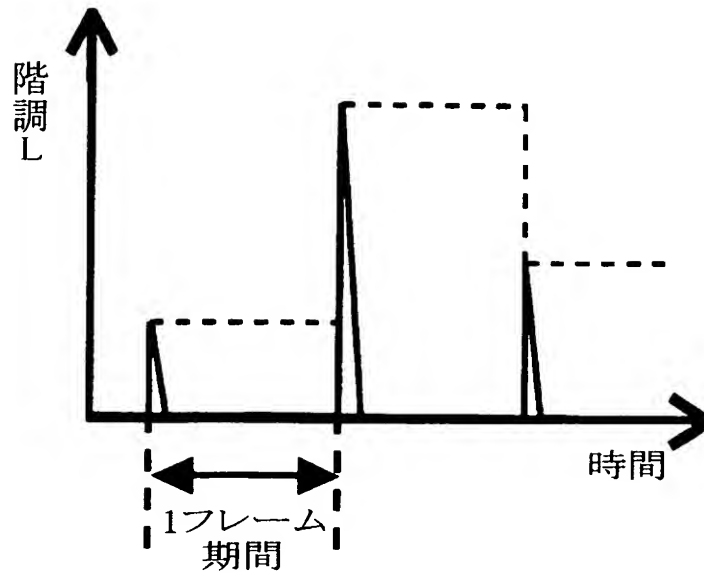
1フレーム期間より応答速度が遅い  
(TN液晶: 数+ms)



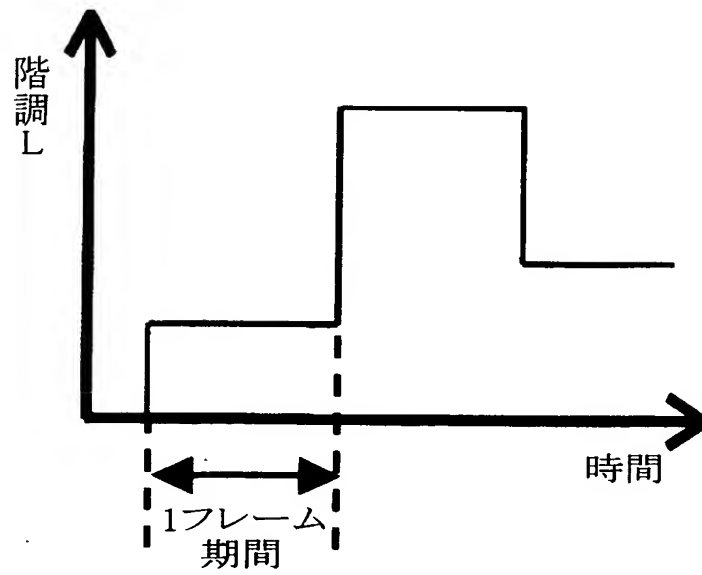
数フレーム期間で応答が終了  
(累積応答)



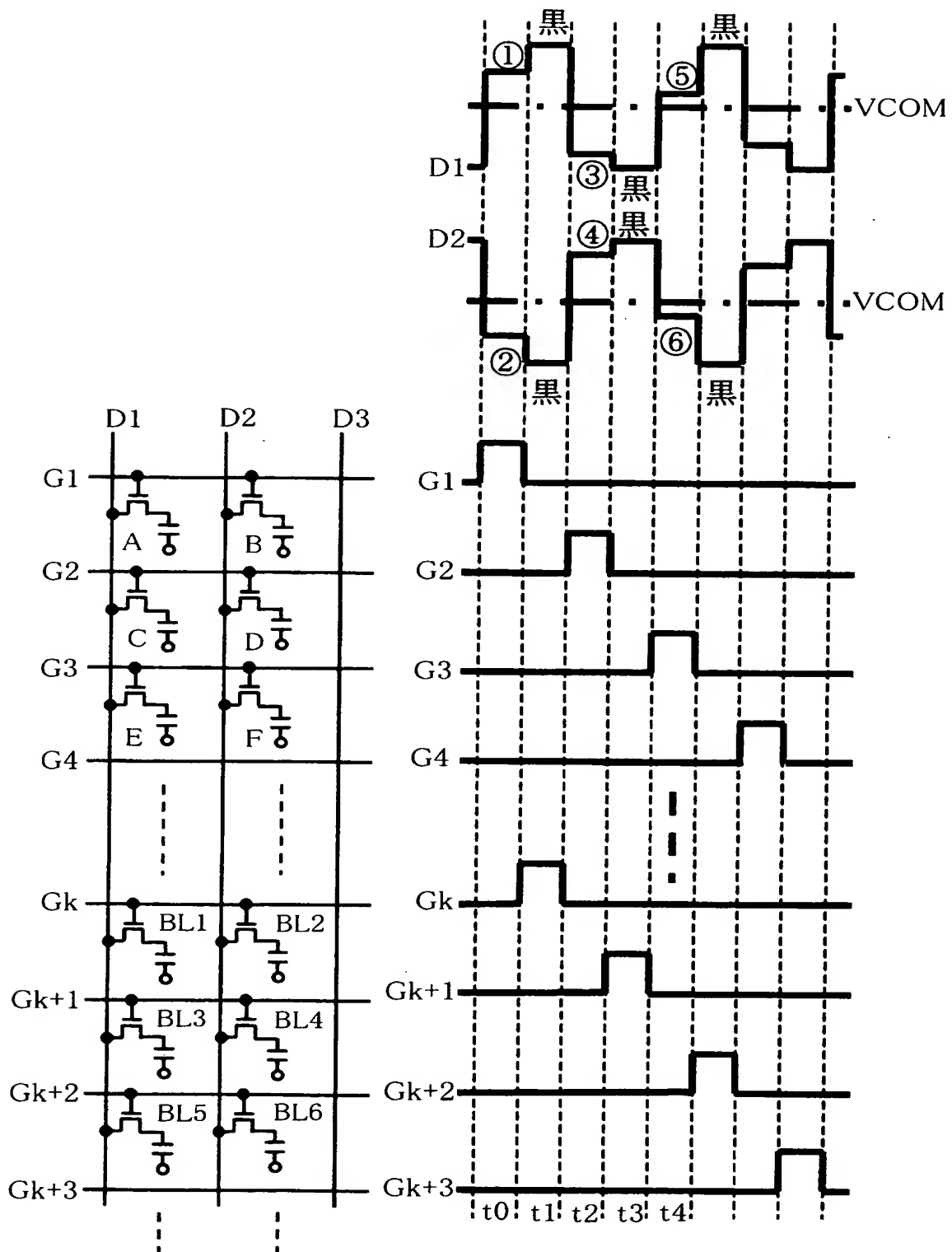
【図 2 2】



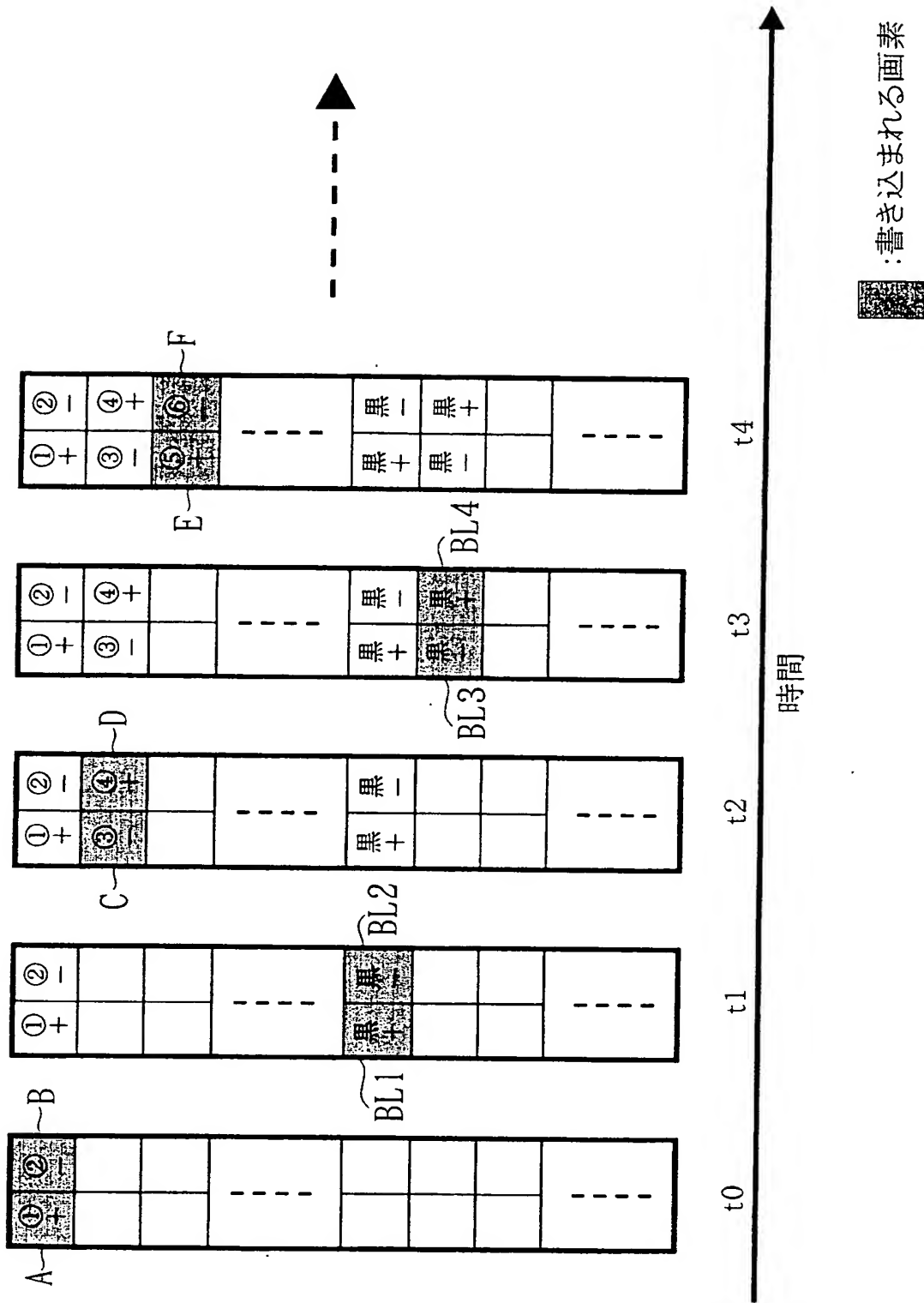
【図 2 3】



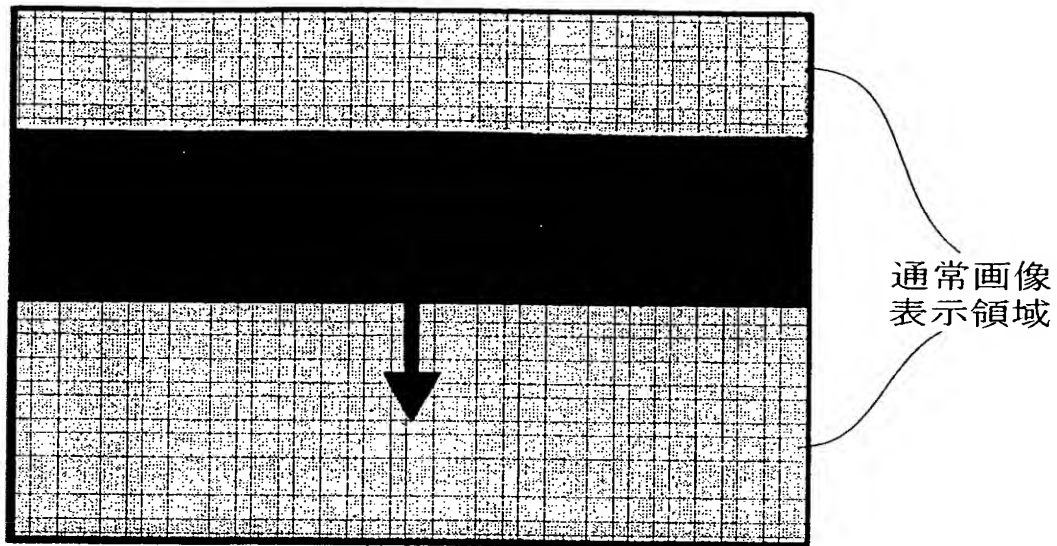
【図 24】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 画像表示装置における動画像表示時の残像現象をなくし、かつ内部回路の規模を縮小する。

【解決手段】 選択期間  $t_0$  において、画素 A, C, BL1 に画素データ① (+)、及び画素 B, BL2, BL4 に黒データ (-) が印加される。選択期間  $t_1$  において、画素 B に画素データ② (-)、及び画素 BL1 に黒データ (+) が印加される。選択期間  $t_2$  において、画素 C, BL3, BL5 に黒データ (-)、及び画素 D, F, BL4 に画素データ④ (+) が印加される。選択期間  $t_3$  において、画素 C に画素データ③ (-)、及び画素 BL4 に黒データ (+) が印加される。この後、同様の動作が順次繰り返され、残像現象が改善される。

【選択図】 図 3





特願 2 0 0 3 - 0 8 6 5 6 9

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社